

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月11日

出 願 番 号

Application Number:

特願2003-107991

[ST.10/C]:

[JP2003-107991]

出 願 人

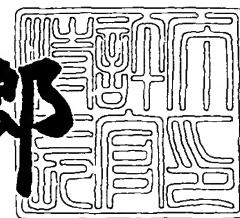
Applicant(s):

株式会社東芝

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3035090

【書類名】 特許願

【整理番号】 A000202441

【提出日】 平成15年 4月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【請求項の数】 22

【発明者】

【住所又は居所】 三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四
日市工場内

【氏名】 園田 真久

【発明者】

【住所又は居所】 三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四
日市工場内

【氏名】 角田 弘昭

【発明者】

【住所又は居所】 三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四
日市工場内

【氏名】 森 誠一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板の主表面上に、素子分離領域によって夫々分離された素子領域上に形成された複数の不揮発性記憶素子を具備し、
前記不揮発性記憶素子の夫々は、
前記半導体基板の主表面上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に第 1 の方向に沿って形成された複数の浮遊電極と、
前記浮遊電極を挟むように第 2 の方向に沿って形成された第 2 導電型の不純物拡散領域と、

前記複数の浮遊電極上に電極間絶縁膜を介して形成された制御電極とを具備し

、
前記第 1 の方向に沿って隣接する複数の浮遊電極の間には複数のスリットが形成され、前記複数のスリット内にはスリット絶縁層が夫々埋め込まれ、前記電極間絶縁膜及び制御電極は前記スリット絶縁層を介して隣接する複数の不揮発性記憶素子の浮遊電極上に跨って前記第 1 の方向に沿って形成されること

を特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記スリット内に埋め込まれたスリット絶縁層は、前記電極間絶縁膜と同一の絶縁材料で形成されること

を特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 前記スリット内に埋め込まれたスリット絶縁層は、前記電極間絶縁膜とは異なる絶縁材料で形成されること

を特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】 前記スリットの幅は、前記電極間絶縁膜の膜厚の 1.6 倍以上であること

を特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 5】 前記電極間絶縁膜又はスリット絶縁膜は、ONO 絶縁膜、シリコン酸化膜、又はシリコンナイトライド膜の少なくともいずれか 1 つを含んで

形成されていること

を特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 6】 前記スリット絶縁膜は、低誘電率を有する第 1 の絶縁膜から形成され、前記電極間絶縁膜は高誘電率を有する第 2 の絶縁膜から形成されること

を特徴とする請求項 1，請求項 3 又は請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 7】 前記第 1 の絶縁膜は、 SiO_2 又は低誘電率の SiO_2 の少なくともいずれか 1 つを含んで形成されること

を特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 8】 前記第 2 の絶縁膜は、 Al_2O_3 ， Ta_2O_5 ，又は ONO 絶縁膜の少なくともいずれか 1 つを含んで形成されること

を特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 9】 前記スリット絶縁膜及び電極間絶縁膜は前記第 1 の絶縁膜から形成され、前記第 2 の絶縁膜は前記第 1 の絶縁膜の上に前記第 1 の方向に沿って形成されること

を特徴とする請求項 6 乃至請求項 8 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 10】 前記素子分離膜は前記第 1 の絶縁膜により形成され、前記第 1 の絶縁膜により分離される複数の浮遊電極を有し、前記第 2 の絶縁膜は前記第 1 の絶縁膜と前記複数の浮遊電極の上面に形成されること

を特徴とする請求項 6 乃至請求項 8 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 11】 更に前記複数の浮遊電極は、前記ゲート絶縁膜上に形成される第 1 の浮遊電極層と、前記第 1 の浮遊電極上に形成される第 2 の浮遊電極層とにより形成される二層構造であること

を特徴とする請求項 1 乃至請求項 10 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 1 2】 前記第 2 の浮遊電極層の両端が、前記第 1 の方向に沿って前記素子分離膜の内部に張り出して形成されること

を特徴とする請求項 1 1 に記載の不揮発性半導体記憶装置。

【請求項 1 3】 前記第 1 の絶縁膜の上面は、前記第 2 の浮遊電極層の上面よりも上方に形成されること

を特徴とする請求項 1 1 に記載の不揮発性半導体記憶装置。

【請求項 1 4】 第 1 導電型の半導体基板の主表面に素子分離領域により分離された第 1, 第 2 の素子形成領域を形成し、

前記第 1, 第 2 の素子形成領域中にそれぞれ第 1, 第 2 のゲート絶縁膜を形成し、

前記素子分離領域上でスリットにより分離された状態で前記第 1, 第 2 のゲート絶縁膜上に夫々第 1, 第 2 の浮遊電極を形成し、

前記スリット内に前記第 1, 第 2 の浮遊電極と略同じ厚さを持つスリット絶縁層を形成し、

前記スリット絶縁膜上および前記第 1, 第 2 の浮遊電極上に電極間絶縁膜を形成し、

前記電極間絶縁膜上に前記第 1, 第 2 の浮遊電極に跨って共通に制御電極を形成すること

を特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 1 5】 半導体基板の主表面上にゲート絶縁膜材を堆積し、

前記ゲート絶縁膜材上に第 1 の浮遊電極材を堆積し、

前記第 1 の浮遊電極材及びゲート絶縁膜材をパターニングしてゲート絶縁膜および第 1 の浮遊電極を形成するとともに、前記半導体基板内に素子分離溝を形成し、

前記素子分離溝内に素子分離絶縁膜を埋め込み、素子分離領域を形成し、

前記第 1 の浮遊電極上及び前記素子分離絶縁膜上に第 2 の浮遊電極材を形成し、

前記第 2 の浮遊電極材をパターニングし、前記素子分離絶縁膜上で絶縁スリットを介して互いに絶縁された 2 つの第 2 の浮遊電極を前記第 1 の浮遊電極上に形

成し、

前記絶縁スリットが埋まるようにスリット絶縁膜を形成し、

前記スリット絶縁膜および前記第 2 の浮遊電極上に電極間絶縁膜材および制御電極材を順次堆積し、

前記制御電極材をパターニングして前記スリット絶縁膜および第 2 の浮遊電極上に共通に制御電極を形成すること

を特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 1 6】 更に、前記制御電極、電極間絶縁膜、第 2 の浮遊電極、及び第 1 の浮遊電極の前記パターニングにより露出した側面にゲート側壁絶縁膜を形成すること

を特徴とする請求項 1 5 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 7】 前記第 2 の浮遊電極材をパターニングし、前記素子分離絶縁膜上で絶縁スリットを介して互いに絶縁された 2 つの第 2 の浮遊電極を前記第 1 の浮遊電極上に形成した後に、

前記絶縁スリットが埋まるようにスリット絶縁膜と、前記電極間絶縁膜とを同時に形成すること

を特徴とする請求項 1 5 又は請求項 1 6 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 8】 前記第 2 の浮遊電極材をパターニングし、前記素子分離絶縁膜上で絶縁スリットを介して互いに絶縁された 2 つの第 2 の浮遊電極を前記第 1 の浮遊電極上に形成した後に、

前記絶縁スリットが埋まるように誘電率の低い第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜及び前記第 2 の浮遊電極上に誘電率の高い第 2 の絶縁膜を形成すること

を特徴とする請求項 1 5 又は請求項 1 6 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 9】 前記第 2 の浮遊電極材をパターニングし、前記素子分離絶縁膜上で絶縁スリットを介して互いに絶縁された 2 つの第 2 の浮遊電極を前記第 1 の浮遊電極上に形成した後に、

前記絶縁スリットが埋まるように前記スリット絶縁膜と、前記電極間絶縁膜とを前記第 1 の絶縁膜により同時に形成し、

前記第 1 の絶縁膜上に前記第 2 の絶縁膜を形成すること

を特徴とする請求項 1 5 又は請求項 1 6 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 2 0】 前記半導体基板内に素子分離溝を形成した後に、

前記素子分離溝内に前記第 1 の絶縁膜を埋め込み、素子分離領域を形成し、

前記第 1 の浮遊電極上及び前記第 1 の絶縁膜上に前記第 2 の絶縁膜を形成すること

を特徴とする請求項 1 5 又は請求項 1 6 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 2 1】 前記素子分離溝内に前記第 1 の絶縁膜を埋め込み、素子分離領域を形成した後に、

前記第 1 の絶縁膜の両端の一部を欠落させ、

前記第 1 の絶縁膜及び前記第 1 の浮遊電極の上に、第 2 の浮遊電極材を堆積し、前記第 1 の絶縁膜の欠落内部に張り出すように形成された第 2 の浮遊電極を自己整合的に形成し、

前記第 1 の絶縁膜及び前記第 2 の浮遊電極の上に前記第 2 の絶縁膜を形成すること

を特徴とする請求項 1 5 又は請求項 1 6 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 2 2】 前記素子分離溝内に前記第 1 の絶縁膜を埋め込み、素子分離領域を形成した後に、

前記第 1 の浮遊電極の上に前記第 1 の絶縁膜を挟むように第 2 の浮遊電極を形成し、

前記第 1 の絶縁膜の上面が前記第 2 の浮遊電極の上面よりも高くなるように、前記第 2 の浮遊電極を形成し、

前記第 1 の絶縁膜及び前記第 2 の浮遊電極の上に前記第 2 の絶縁膜を形成すること

を特徴とする請求項 1 5 又は請求項 1 6 に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置及びその製造方法に関し、特に隣接する不揮発性記憶素子の浮遊電極間に絶縁膜で絶縁されたスリットを有する不揮発性半導体記憶装置に適用されるものである。

【0 0 0 2】

【従来の技術】

従来の浮遊電極を具備する不揮発性半導体記憶装置として、図 1 7 に示すようなものがある（例えば、特許文献 1 参照）。図 1 7 に示された不揮発性半導体記憶装置は、シリコン基板 1 1 1、ゲート酸化膜 1 1 2、下層の浮遊電極となる第 1 の多結晶シリコン膜 1 1 3、シリコン酸化膜 1 1 6、素子分離領域の S T I 埋め込み材であるシリコン酸化膜 1 1 7、上層の浮遊電極となる第 2 の多結晶シリコン膜 1 1 8、O N O 絶縁膜（シリコン酸化膜、シリコンナイトライド膜、シリコン酸化膜の 3 層膜） 1 1 9、下層の制御電極となる第 3 の多結晶シリコン膜 1 2 0、上層の制御電極となる W S i 膜 1 2 1、絶縁保護膜となるシリコン酸化膜 1 2 2、から構成されている。

【0 0 0 3】

下層の浮遊電極である第 1 の多結晶シリコン膜 1 1 3 は素子分離領域のシリコン酸化膜 1 1 6、1 1 7 により隣接するセルの対応する下層の浮遊電極とは絶縁され、上層の浮遊電極である第 2 の多結晶シリコン膜 1 1 8 はシリコン酸化膜 1 1 7 の上でスリット 1 2 6 により隣接するセルの対応する上層の浮遊電極と分離されている。浮遊電極 1 1 8 と制御電極 1 2 0 とは電極間絶縁膜である O N O 絶縁膜 1 1 9 で絶縁されている。

【0 0 0 4】

しかし、従来の不揮発性半導体記憶装置では、この浮遊電極コーナ一部 1 2 5 において、O N O 絶縁膜 1 1 9 とともに制御電極 1 2 0 が隣接するセル間のスリ

ット 1 2 6 内に入り込む構造となっていた。

【 0 0 0 5 】

そのため浮遊電極コーナー部 1 2 5 には電界が集中し、このコーナー部 1 2 5 の O N O 絶縁膜 1 1 9 の絶縁特性が低下する為に、浮遊電極 1 1 3, 1 1 8 に記憶情報に対応して注入された電荷保持特性が悪いという問題があった。

【 0 0 0 6 】

【特許文献 1】

特開 2 0 0 2 - 0 1 6 1 5 4 号公報 明細書

【 0 0 0 7 】

【発明が解決しようとする課題】

上記のように従来の不揮発性半導体記憶装置は、素子分離領域上で隣接するセルの浮遊電極間の絶縁用のスリット内に制御電極が入り込む構造となっていた。

【 0 0 0 8 】

そのため、スリット内の浮遊電極コーナー部には電界が集中し、記憶情報の電荷保持特性が悪いという問題があった。

【 0 0 0 9 】

この発明は上記のような事情に鑑みてなされたもので、電荷保持特性の良い不揮発性半導体記憶装置及びその製造方法を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

本発明の一態様の不揮発性半導体記憶装置は、第 1 導電型の半導体基板の主表面上に素子分離領域によって夫々分離された素子領域に形成された複数の不揮発性記憶素子を具備し、前記不揮発性記憶素子の夫々は、前記半導体基板の主表面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に第 1 の方向に沿って形成された複数の浮遊電極と、前記浮遊電極を挟むように第 2 の方向に沿って形成された第 2 導電型の不純物拡散領域と、前記複数の浮遊電極上に電極間絶縁膜を介して形成された制御電極とを具備し、前記第 1 の方向に沿って隣接する複数の浮遊電極の間には複数のスリットが形成され、前記複数のスリット内にはスリット絶縁層が夫々埋め込まれた、前記電極間絶縁膜及び制御電極は前記スリット絶縁

層を介して前記第 1 の方向に沿って隣接する複数の不揮発性記憶素子の浮遊電極上に跨って前記第 1 の方向に沿って形成されること、を特徴として構成される。

【0011】

本発明の他の態様の不揮発性半導体記憶装置の製造方法は、第 1 導電型の半導体基板の主表面に素子分離領域により分離された第 1、第 2 の素子形成領域を形成し、前記第 1、第 2 の素子形成領域中にそれぞれ第 1、第 2 のゲート絶縁膜を形成し、前記素子分離領域上でスリットにより分離された状態で前記第 1、第 2 のゲート絶縁膜上に夫々第 1、第 2 の浮遊電極を形成し、前記スリット内に前記第 1、第 2 の浮遊電極と略同じ厚さを持つスリット絶縁層を形成し、前記スリット絶縁膜上および前記第 1、第 2 の浮遊電極上に電極間絶縁膜を形成し、前記電極間絶縁膜上に前記第 1、第 2 の浮遊電極に跨って共通に制御電極を形成することを特徴とする。

【0012】

上記の構成によれば、隣接する浮遊電極間のスリット内に制御電極が入り込むことはない。そのため、スリット内の浮遊電極コーナー部に電界が集中することがなく、電荷保持性の良い不揮発性半導体記憶装置及びその製造方法を提供することが出来る。

【0013】

【発明の実施の形態】

以下、シリコン基板の主表面上に形成した浮遊電極を有する不揮発半導体記憶装置に本発明を適応した実施の形態について図面を参照して説明する。なおこの説明においては、全図にわたり共通の部分には共通の参照符号を付す。

【0014】

[第 1 の実施形態]

以下、図 1 乃至図 3 を用いてこの発明の第 1 の実施形態に係る浮遊電極を有する不揮発性半導体記憶装置を説明する。ここで、図 1 は図 3 の平面図における I—I 線で切断して矢印方向に見た断面図である。図 2 は図 3 の平面図における II—II 線で切断して矢印方向に見た断面図である。図 3 はこの発明の一実施形態に係る不揮発性半導体記憶装置の平面図である。

【0015】

図1に示すように、シリコン基板11の主表面上に、ゲート絶縁膜となるシリコン酸化膜12と第1の浮遊電極層となる多結晶シリコン膜13とが、素子分離領域を形成するSTI溝17Aの内部に形成されたシリコン酸化膜16の外壁により分離された状態で、順次積層される。シリコン酸化膜16により取り囲まれたSTI溝17Aの内部にはSTI埋め込み材であるシリコン酸化膜17が充填される。

【0016】

多結晶シリコン膜13の上には第2の浮遊電極層として多結晶シリコン膜18が形成される。この多結晶シリコン膜18は、STI埋め込み材であるシリコン酸化膜17の上面のほぼ中央部においてスリット18Aにより分離される。このスリット18A内および第2の浮遊電極層となる多結晶シリコン酸化膜18の上には、電極間絶縁膜としてONO絶縁膜（シリコン酸化膜、シリコンナイトライド膜、シリコン酸化膜との三層からなる）19-1が堆積される。

【0017】

このONO絶縁膜19-1の上には第1の制御電極層となる多結晶シリコン膜20および第2の制御電極層となるWSi膜21が順次形成される。図3に示すように、これらの第1、第2の制御電極層20、21により制御電極CG<0>、CG<1>が形成される。

【0018】

図2及び図3に示すように、シリコン基板11の主表面上に、ゲート絶縁膜となるシリコン酸化膜12と第1の浮遊電極層となる多結晶シリコン膜13とが、シリコン酸化膜17により分離された素子領域に形成される。シリコン酸化膜12の下シリコン基板11内部には、隣接する多結晶シリコン膜13の間に跨ってソース領域・ドレイン領域となる不純物拡散層24-1、24-2、24-3が形成される。

【0019】

多結晶シリコン膜13の上には第2の浮遊電極層として多結晶シリコン膜18が形成される。この多結晶シリコン膜18の上には、電極間絶縁膜としてONO

絶縁膜（シリコン酸化膜、シリコンナイトライド膜、シリコン酸化膜との三層からなる）19-1が堆積される。これらの多結晶シリコン膜13，18が隣接する2つの不揮発性記憶素子MC<01>、MC<11>においてそれぞれ2層構造の浮遊電極FG<01>，FG<11>を構成する。

【0020】

このONO絶縁膜19-1の上には、第1の制御電極層となる多結晶シリコン膜20および第2の制御電極層となるWSi膜21が順次形成される。これらの第1、第2の制御電極層20，21により同様に隣接する2つの不揮発性記憶素子MC<01>、MC<11>の制御電極CG<0>，CG<1>が形成される。これらを具備する不揮発性記憶素子MC<00>～MC<11>の側面にはゲート側壁絶縁膜23が形成され、上面にはシリコン酸化膜22が夫々形成される。

【0021】

ここで、図3の平面図を参照して図1、図2に示した断面構造を有するこの実施形態の不揮発性半導体記憶装置の平面レイアウトを説明する。即ち、シリコン基板11に素子分離膜となるシリコン酸化膜17（STI埋め込み材）によって分離された素子形成領域に、制御電極CG<0>，CG<1>に沿って形成された複数の不揮発性記憶素子MC<00>～MC<11>を有する不揮発性半導体記憶装置が形成される。ここで、MCは不揮発性記憶素子、CGは制御電極、FGは浮遊電極であり、<nm>（nm：整数）はMCのマトリクス状配列における<row，column>を表わす。図3では4個の不揮発性記憶素子MC<00>～MC<11>を示している。

【0022】

また、シリコン基板11にゲート絶縁膜となるシリコン酸化膜12が形成され、シリコン酸化膜12の下方で隣接する不揮発性記憶素子の浮遊電極FG間に跨り、かつ制御電極CG<0>，CG<1>に直交する方向にソース、ドレインとなるべき不純物拡散層24-1，24-2，24-3が形成される。

【0023】

さらに、不揮発性記憶素子MC<00>～MC<11>は、夫々浮遊電極FG

$\langle 00 \rangle \sim FG \langle 11 \rangle$ 及び制御電極 $CG \langle 0 \rangle$ 、 $CG \langle 1 \rangle$ を有する。

【0024】

浮遊電極 $FG \langle 00 \rangle \sim FG \langle 11 \rangle$ は、各々不揮発性記憶素子 $MC \langle 00 \rangle \sim MC \langle 11 \rangle$ の領域内に形成され、ゲート絶縁膜となるシリコン酸化膜 12 上に、多結晶シリコン膜 13 及び多結晶シリコン膜 18 から形成される。

【0025】

また、浮遊電極 $FG \langle 00 \rangle \sim FG \langle 11 \rangle$ と制御電極 $CG \langle 0 \rangle$ 、 $CG \langle 1 \rangle$ の間には電極間絶縁膜となる ONO 絶縁膜 19-1 $\langle 0 \rangle$ 、19-1 $\langle 1 \rangle$ が形成される。

【0026】

一方、制御電極 CG は多結晶シリコン膜 20 及び WSi 膜 21 から構成されている。つまり、制御電極 $CG \langle 0 \rangle$ は、電極間絶縁膜 19-1 $\langle 0 \rangle$ を介して、浮遊電極 $FG \langle 00 \rangle$ 、 $FG \langle 01 \rangle$ の上方に形成される。同様に、制御電極 $CG \langle 1 \rangle$ は、電極間絶縁膜 19-1 $\langle 1 \rangle$ を介して、浮遊電極 $FG \langle 10 \rangle$ 、 $FG \langle 11 \rangle$ の上方に形成される。

【0027】

また、制御電極 $CG \langle 0 \rangle$ に沿って隣接する浮遊電極 $FG \langle 00 \rangle$ と $FG \langle 01 \rangle$ の間をスリット 18A $\langle 0 \rangle$ とする。同様に、制御電極 $CG \langle 1 \rangle$ に沿って隣接する浮遊電極 $FG \langle 10 \rangle$ と $FG \langle 11 \rangle$ の間をスリット 18A $\langle 1 \rangle$ とする。

【0028】

図 1 に示すように、このスリット 18A の内部には ONO 絶縁膜 19-2 が形成され、制御電極 CG に沿って隣接する浮遊電極 18 の間にあるスリット 18A を完全に埋めるように形成される。例えば、スリット 18A $\langle 0 \rangle$ の内部には、ONO 絶縁膜 19-2 $\langle 0 \rangle$ が、同様に、スリット 18A $\langle 1 \rangle$ の内部には、ONO 絶縁膜 19-2 $\langle 1 \rangle$ が形成される。

【0029】

上記のような構成をとることによって、スリット 18A 内部に電極間絶縁膜 ONO 絶縁膜 19-1 が完全に入り込んで埋める。従って、電極間絶縁膜 ONO 絶

縁膜 1 9 - 1 の上方に形成された制御電極 C G がスリット 1 8 A 内部に入り込むことはない。

【 0 0 3 0 】

次に、各素子の動作について、不揮発性記憶素子 MC < 1 1 > の場合を例に挙げて説明する。

【 0 0 3 1 】

書き込み動作について説明する。まず、シリコン基板 1 1 が接地電位とされる。そして、ソース、ドレイン領域となるべき不純物拡散層 2 4 - 2 と不純物拡散層 2 4 - 3 の間に高電圧が印加される。例えば、不純物拡散層 2 4 - 2 をソース領域、不純物拡散層 2 4 - 3 をドレイン領域とすると、ソース領域の不純物拡散層 2 4 - 2 に接地電位、ドレイン領域の不純物拡散層 2 4 - 3 にある所定の高電位を印加する。

【 0 0 3 2 】

さらに、制御電極 C G < 1 > に高電位を印加すると、ソース、ドレイン間、即ち、不純物拡散層 2 4 - 2 ~ 2 4 - 3 の間に印加された高電位により発生したホットエレクトロンが制御電極 C G < 1 > の高電圧によって浮遊電極 F G < 1 1 > に注入される。もしくは、制御電極 C G < 1 > の高電圧によって、F N 電流が発生し、浮遊電極 F G < 1 1 > にエレクトロンが注入される。

【 0 0 3 3 】

このように、不揮発性記憶素子 MC < 1 1 > が選択的に書き込まれる。また、浮遊電極 F G < 1 1 > に注入された電子はそのまま保持される。そのため、書き込まれた情報が再書き込み動作なしに維持される。

【 0 0 3 4 】

次に、読み出し動作について説明する。まず、シリコン基板 1 1 が接地電位とされる。そして、ソース領域となる不純物拡散層 2 4 - 2 も接地電位とされる。さらに、ドレイン領域となる不純物拡散層 2 4 - 3 に電位が印加される。次に、制御電極 C G < 1 > に電圧が印加される。この時、不揮発性記憶素子 MC < 1 1 > の浮遊電極 < 1 1 > には電子が注入されているものとする、ソース、ドレイン間にチャンネルが形成されにくくなり、閾値電圧が高くなる。即ち、記憶素子 M

C<1 1>は、オフ状態となり、ソース、ドレイン間である不純物拡散層 2 4 - 2 ~ 2 4 - 3 の間には電流が流れない。

【 0 0 3 5 】

一方、浮遊電極<1 1>に電子が注入されていないものとする、ソース、ドレイン間に容易にチャンネルが形成されて電流が流れ、記憶素子MC<1 1>はオン状態となる。このようにして、不揮発性記憶素子MC<1 1>のドレイン領域つまり、不純物拡散層 2 4 - 3 における電流の有無をこの先に接続された図示しないセンスアンプ等により読み出すことによって、記憶素子MC<1 1>に書き込まれた情報を読み出す。

【 0 0 3 6 】

次に、消去動作について説明する。消去動作は、すべての不揮発性記憶素子MC<0 0>~MC<1 1>についての一括消去である。即ち、すべてのドレイン領域及びソース領域となる不純物拡散層 2 4 に正電位を印加する。さらに、すべての制御電極CG<0>、CG<1>に負電位を印加する。その結果、すべての浮遊電極FG<0 0>~FG<1 1>から保持電子がシリコン基板 1 1 に引き抜かれ、不揮発性記憶素子MC<0 0>~MC<1 1>の記憶情報が消去される。以上の動作は、他の不揮発性記憶素子MC<0 0>、MC<0 1>、MC<1 0>についても同様である。

【 0 0 3 7 】

上述のように、制御電極CGに沿って隣接する浮遊電極FGの溝となる、スリット 1 8 A の内部にはONO絶縁膜 1 9 - 2 がこの溝を完全に埋めるように形成される。上記のような構成をとることによって、スリット 1 8 A 内部は電極間絶縁膜ONO絶縁膜 1 9 - 1 が完全に入り込んでスリット 1 8 A が埋め込まれる。従って、電極間絶縁膜ONO絶縁膜 1 9 - 1 の上方に形成された制御電極CGがスリット 1 8 A 内部に入り込むことはない。このことにより、書き込み動作後に浮遊電極FGに注入された電子が、浮遊電極コーナー部 2 5 の電界集中によって、制御電極CGに漏れ出すことを排除することが出来る。即ち、電荷保持特性を向上することが出来る。

【 0 0 3 8 】

このように、この実施形態によれば、スリット 1 8 A の幅がどれだけ広くても従来のように制御電極 2 0 がスリット 1 8 A 内に垂れ下がることがないので、浮遊電極 1 8 との間に電界の集中が起こることを未然に防止できる。従って、不揮発性記憶素子の電荷保持特性が著しく向上する。

【 0 0 3 9 】

また、図 1 ～図 3 に示した実施形態では、スリット 1 8 A 内を埋めるスリット絶縁膜 1 9 - 2 を先に形成し、その後、浮遊電極 1 8 と制御電極 2 0 との間に形成される電極間絶縁膜 1 9 - 1 を堆積させる方法で製造することができるが、スリット絶縁膜 1 9 - 2 と電極間絶縁膜 1 9 - 1 とが同じ O N O 膜で形成される場合には両者を同時に形成することも可能である。

【 0 0 4 0 】

一方、スリット 1 8 A の幅は隣接する 2 つの不揮発性記憶素子の間隔を決めるファクターであり、限られた面積内に高密度に不揮発性記憶素子を配置しようとすると、必然的にスリット 1 8 A の幅が狭くなってくる。

【 0 0 4 1 】

このような場合にも本実施形態の効果を十分に発揮するためには、スリット 1 8 A の幅 d_F と電極間絶縁膜 1 9 - 1 の膜厚 d_{ONO} が以下の条件に従うことが望ましい。この条件について、図 4 を用いて説明する。

【 0 0 4 2 】

図 4 は電荷保持特性不良率に対して、スリット幅 d_F / 膜厚 d_{ONO} の依存性を表わすグラフである。ここで、スリット幅 d_F は隣接する浮遊電極 1 8 間のスリット 1 8 A の間隔であり、膜厚 d_{ONO} は多結晶シリコン膜 2 0 と多結晶シリコン膜 1 8 との間に堆積する電極間絶縁膜 1 9 - 1 の膜厚である。

【 0 0 4 3 】

図 4 に示すように、例えば図 1 7 に示すような構造をもつ従来の不揮発性半導体記憶素子では、スリット幅 d_F / 膜厚 $d_{ONO} = 4$ 程度となる。従って、電荷保持特性不良率が 8 % 程度発生する。

【 0 0 4 4 】

これに対して本実施形態では、スリット絶縁膜 1 9 - 2 と電極間絶縁膜 1 9 -

1 とを同じ材料で同時に堆積させる場合には、スリット幅 d_F / 膜厚 d_{ONO} < 1.6 であることが望ましいことが図 4 から分かる。この場合、電荷保持特性不良率がほぼ 0 % となり、極めて良好な電荷保持特性を示す。

【0045】

この不等式、スリット幅 d_F / 膜厚 d_{ONO} < 1.6 が示す関係は、膜厚 d_{ONO} を有する絶縁膜を用いて、スリット幅 d_F を有するスリット 18A を同一の絶縁膜で埋めることが出来る条件である。

【0046】

即ち、一般的に、スリット 18A に堆積されるスリット幅方向の膜厚は、堆積される絶縁膜の種類にもよるが、浮遊電極 18 と制御電極 20 の間に堆積される電極間絶縁膜 19-1 である膜厚 d_{ONO} の 1.6 倍程度となるからである。これは、浮遊電極 18 の側面に堆積されるスリット間絶縁膜 19-2 の膜厚が、多結晶シリコン膜 18 と多結晶シリコン膜 20 の間に堆積される電極間絶縁膜 19-1 の膜厚に比べ、およそ 0.8 倍程度となるからである。

【0047】

一方、電極間絶縁膜 19-1 が理想的な状態でスリット 18A における側面に堆積される場合は、浮遊電極層 18 の上面に堆積される厚さが同じとなるので、スリット幅 d_F は膜厚 d_{ONO} の 2.0 倍程度になると考えられる。しかしながら、実際にこの条件下で堆積した場合には、スリットは完全には埋まらないで電極間絶縁膜 19-1 の表面に若干の窪みが出来てしまう。この結果、従来のようにスリット 18A の内部に制御電極が入り込み、浮遊電極コーナー部に電界集中が起きてしまう。その結果、従来における電界集中による電荷保持特性の低下という不都合が解消されないことになる。

【0048】

しかし、浮遊電極スリット幅 d_F が膜厚 d_{ONO} の 1.6 倍よりも小さい場合は、スリット 18A の内部は例えば ONO 絶縁膜 19 によって完全に埋め込まれ、スリット 18A 内に制御電極 20 が入り込むことを完全に回避できる。その結果、制御電極 20 は浮遊電極コーナー部 25 を覆わず、電界集中が発生しづらい構造となり、電荷保持特性が向上する。

【 0 0 4 9 】

さらに、この条件に従うと、各セル、即ち不揮発性記憶素子毎のしきい値分布のばらつきを抑制する効果も期待できる。即ち、制御電極に面する側の浮遊電極コーナー部の曲率半径は、セル毎に異なっているため、コーナー部を電荷保持に用いると書き込み／消去のスピードもセル毎に変わってくる。そのため各セルのしきい値分布のばらつきが生じる。しかし本実施形態では、浮遊電極コーナー部 2 5 を電荷保持に使わず、フラットな絶縁膜のみを書き込み／消去に用いるので、セル間のばらつきが小さくなるからである。

【 0 0 5 0 】

尚、本実施形態では、電極間絶縁膜及びスリット間絶縁膜として O N O 絶縁膜を用いる場合を示したが、絶縁膜であれば例えば、酸化膜、シリコンナイトライド膜等その他の絶縁膜を用いても同様の効果を得ることが出来る。

【 0 0 5 1 】

以下、図 5 及び図 6 を参照して図 1 乃至図 3 に示した実施形態の不揮発性半導体記憶装置の製造工程の一例を説明する。

【 0 0 5 2 】

先ず、図 5 (a)、図 6 (a) において、シリコン基板 1 1 の主表面上に例えば 8 0 0 ° C の O₂ 雰囲気で加熱し 1 0 n m 程度の厚さで第 1 のシリコン酸化膜 1 2 を形成する。次に例えば減圧 C V D 法により、浮遊電極となる 6 0 n m 程度の多結晶シリコン膜 1 3 と、 1 0 0 n m 程度のシリコンナイトライド膜 1 4 と、 1 5 0 n m 程度のシリコン酸化膜 1 5 を堆積する。次いで、通常の光蝕刻法によりフォトレジストを用いて所望のパターンに加工し、それをマスクにして R I E 法によりシリコン酸化膜 1 5 とシリコンナイトライド膜 1 4 を加工する。次に O₂ プラズマ中にシリコン基板を曝し、フォトレジストを除去し、シリコン酸化膜 1 5 をマスクにして多結晶シリコン膜 1 3 を加工する。

【 0 0 5 3 】

次に、図 5 (b)、図 6 (b) において、シリコン酸化膜 1 5 をマスクにシリコン酸化膜 1 2 及びシリコン基板 1 1 を加工してシリコン基板 1 1 中に溝 1 7 A を形成する。次いで、 1 0 0 0 ° C 程度の O₂ 雰囲気で加熱し、溝 1 7 A の外壁に

6 nm 程度のシリコン酸化膜 1 6 を形成する。次に HDP (high density plasma) 法により、STI 埋め込み材となる 6 0 0 nm 程度のシリコン酸化膜 1 7 を堆積する。

【 0 0 5 4 】

次に、図 5 (c)、図 6 (c) において、CMP (chemical mechanical polishing) 法によりシリコン酸化膜 1 7 を平坦化し、9 0 0 °C 程度の窒素雰囲気中で加熱する。さらに、バッファード (Buffered) HF 溶液に 1 0 sec 程度浸して、1 5 0 °C 程度のリン酸処理によりシリコンナイトライド膜 1 4 を除去する。次に、ディリュート (Dilute) HF 溶液でシリコン酸化膜 1 7 を 2 0 nm 程度エッチングする。

【 0 0 5 5 】

さらに、減圧 CVD 法によりリンが添加されて浮遊電極となる多結晶シリコン膜 1 8 を堆積する。さらに、シリコン酸化膜 1 7 上面の略中央部に、フォトレジストのマスクを用いて RIE 法により多結晶シリコン膜 1 8 を加工し、スリット 1 8 A を形成する。

【 0 0 5 6 】

更に、図 5 (d)、図 6 (d) において、減圧 CVD 法で ONO 絶縁膜 1 9 - 1、1 9 - 2 (5 nm 程度のシリコン酸化膜、5 nm 程度のシリコンナイトライド膜、5 nm 程度のシリコン酸化膜の 3 層膜)、制御電極となるリンが添加された 1 0 0 nm 程度の多結晶シリコン膜 2 0、1 0 0 nm 程度の WSi 膜 2 1、2 0 0 nm 程度のシリコン酸化膜 2 2 を堆積する。次に、フォトリソグラフィ法によりフォトレジストを所望の形にパターニングし、それをマスクにしてシリコン酸化膜 2 2 を例えば RIE 法により加工する。

【 0 0 5 7 】

次いで、図 6 (e) において、シリコン酸化膜 2 2 をマスクとして、WSi 膜 2 1、多結晶シリコン膜 2 0、ONO 絶縁膜 1 9 - 1、1 9 - 2、多結晶シリコン膜 1 8、多結晶シリコン膜 1 3、を順次例えば RIE 法により加工する。さらに、加工後の制御電極及び前記 STI 埋め込み材となるシリコン酸化膜 1 7 のパターンをマスクとして用い、例えばイオン打ち込み法により自己整合的にソース

／ドレイン領域となる不純物拡散層 2 4 - 1, 2 4 - 2, 2 4 - 3 を形成する。
さらに、1 0 0 0℃程度の O_2 雰囲気中で加熱しすることにより、夫々の不揮発性記憶素子MCの側壁にシリコン酸化膜 2 3 を形成する。

【 0 0 5 8 】

以上の製造工程により、不揮発性記憶素子MC< 0 0 >～MC< 1 1 >を形成する。

【 0 0 5 9 】

図 5 (d) で示すように、浮遊電極間のスリット 1 8 A< 1 >内部がONO絶縁膜 1 9 - 2< 1 >で埋められる。そのため、制御電極CG< 1 >を構成する多結晶シリコン膜 2 0 及びWSi膜 2 1 が、スリット 1 8 A< 1 >内部に入り込めない構造となっている。そのため、浮遊電極コーナー部 2 5 での電界集中が発生せず、電荷保持特性が向上する。

【 0 0 6 0 】

また、本実施形態に係る製造方法は、制御電極CG< 0 >、CG< 1 >と浮遊電極FG< 0 0 >～FG< 1 1 >の電極間絶縁膜であるONO絶縁膜 1 9 - 1、及びスリット 1 8 A< 0 >、スリット 1 8 A< 1 >に埋め込まれるスリット絶縁膜であるONO絶縁膜 1 9 - 2 が同一の絶縁膜を用いて、同時に堆積する工程となっている。この時、この実施形態で示した関係式、

$$\text{スリット幅 } d_F / \text{膜厚 } d_{ONO} < 1.6$$

を満たすように、スリット幅 d_F 、膜厚 d_{ONO} が形成される。

【 0 0 6 1 】

そのため、スリット 1 8 A< 0 >、スリット 1 8 A< 1 >内部を絶縁膜 1 9 - 2 で完全に埋めることが出来るので、浮遊電極コーナー部 2 5 において制御電極に関して電界集中が起こらない。従って、電荷保持特性が向上し、電荷保持不良率をほぼ 0 % とすることが出来る。

【 0 0 6 2 】

また、このように同一の絶縁膜を用いて、同時に電極間及びスリットを埋めることが出来るので、製造コストを削減し、製造速度を向上することが出来る。

【 0 0 6 3 】

上述のように、電極間絶縁膜及びスリット内に埋め込まれるスリット絶縁膜を同一の絶縁膜を用いて、同時に製造する工程となっている。しかし、スリット 18A<0>、スリット 18A<1>を埋める目的のみで、酸化膜、シリコンナイトライド膜などの絶縁膜をまず堆積し、全面を R I E 法でエッチングし、もしくは C M P 法で浮遊電極間絶縁膜以外の絶縁膜を除去し、その後で、制御電極 C G<0>、C G<1>と浮遊電極 F G<00>~F G<11>の電極間絶縁膜を、それと異なる絶縁膜を用いて堆積することも可能である。

【 0 0 6 4 】

このように、電極間絶縁膜とスリット絶縁膜を別々の工程で堆積する場合は、前述の実施形態で示したスリット幅 d_F と電極間の膜厚 d_{ONO} の関係式を満足しない大きいスリット幅を持つ場合でも電荷保持率を低下させることはない。このように別々に堆積する工程では、スリット 18A<0>、スリット 18A<1>内をスリットの幅にかかわらず完全に絶縁膜で埋めることが出来るので、制御電極がこのスリット内に入り込むことがなく、制御電極と対向する浮遊電極コーナー部 25 において電界集中が発生しない。そのため、電荷保持特性を向上することが出来る。

【 0 0 6 5 】

[第 2 の実施形態]

図 7 及び図 8 を用いて本発明に係る第 2 の一実施形態を説明する。以下の実施形態の説明において、上記第 1 の実施形態と同様の部分の説明は省略する。

【 0 0 6 6 】

図 7 は図 1 に対応して制御電極 C G (多結晶シリコン膜 20 及び W S i 膜 21) の配線長手方向に沿って形成された複数の不揮発性記憶素子 M C の断面図である。図 8 は図 7 で示す不揮発性記憶素子 M C の製造方法の一例を説明するための断面図である。

【 0 0 6 7 】

図 7 に示すように、S T I 埋め込み材であるシリコン酸化膜 17 の上面の略中央部に、例えばスリットの幅 d_F が 80 nm 程度のスリット 18A が形成される。スリット 18A の内部には、低誘電率を有するシリコン酸化膜 31 が形成され

る。

【 0 0 6 8 】

多結晶シリコン膜 1 8 と多結晶シリコン膜 2 0 の間に制御電極 C G の長手方向に沿って、アルミナ (Al_2O_3) 膜 3 2 が形成される。このアルミナ膜 3 2 は、少なくとも上記低誘電率を有するシリコン酸化膜 3 1 の誘電率よりも、高い誘電率を有する絶縁材料である。

【 0 0 6 9 】

このように、本実施形態ではスリット 1 8 A 内部に形成される絶縁膜と、浮遊電極 F G と制御電極 C G の間に形成される絶縁膜とが別個の材料で形成され、各絶縁膜の誘電率が相違するように形成される。

【 0 0 7 0 】

まず、スリット 1 8 A 内部に形成される絶縁膜と浮遊電極 F G と制御電極 C G の間に形成される絶縁膜とが別個に形成されることにより、スリット幅が広くてもスリット 1 8 A 内部を完全に絶縁膜で埋め込むが出来る。そのため、スリット 1 8 A 内部に制御電極 C G が入り込むことはない。その結果、第 1 の実施形態と同様に浮遊電極コーナー部 2 5 に電界が集中することを回避し、電荷保持特性を向上することが出来る。

【 0 0 7 1 】

更に各絶縁膜の誘電率が相違するように形成される。つまり、スリット 1 8 A 内部には、誘電率の低い絶縁材料であるシリコン酸化膜 3 2 が充填されるように形成される。そのため、制御電極 C G に沿って隣接する浮遊電極 F G 相互の容量結合によるデータの干渉効果も最小限に抑制することが出来る。ここで、浮遊電極 F G 相互の容量結合によるデータ干渉効果とは、浮遊電極 F G の電氣的状態により隣接する浮遊電極 F G のスレッショールド電圧が影響を受ける効果をいう。例えば、浮遊電極 F G に電子が注入されているか否かで、隣接する浮遊電極 F G のスレッショールド電圧等が影響を受けることをいう。従って、この効果が大きいと各不揮発性記憶素子 M C のスレッショールド電圧の制御性が低下する。しかし、スリット 1 8 A 内部には誘電率の低い絶縁材料であるシリコン酸化膜 3 2 が形成される。よって、隣接する浮遊電極 F G 間の電氣的作用を最小限に抑

えることが出来る。その結果、上記データ干渉効果を最小限に抑制することが出来る、各不揮発性記憶素子MCの信頼性を向上することが出来る。

【 0 0 7 2 】

さらに、多結晶シリコン層 1 8 と多結晶シリコン層 2 0 との間に形成される絶縁膜は、誘電率の高い絶縁材料であるアルミナ膜 3 2 により形成される。従って、浮遊電極 FG と制御電極 CG 間の容量結合が高くなる。その結果、制御電極 CG に印加される書き込み、読み出し時の制御電圧を低減することが出来る。

【 0 0 7 3 】

尚、前記スリット 1 8 A 内部に形成されるスリット絶縁膜は、なるべく誘電率の低い絶縁材料が望ましい。従って通常の熱酸化により形成されたシリコン酸化膜よりも、例えば塗布法により堆積形成されるシリコン酸化膜等により形成されることが望ましい。しかし、誘電率が低い材料であればシリコン絶縁膜 3 1 に限らず、他の絶縁材料によっても適用可能である。

【 0 0 7 4 】

さらに、多結晶シリコン膜 2 0 と多結晶シリコン膜 1 8 との間に形成される絶縁材料は Al_2O_3 (アルミナ) 膜 3 2 の他、例えば Ta_2O_5 (タンタルオキサイド) 膜等を適用することが出来る。浮遊電極 FG の電荷が制御電極 CG にリークしないように十分な絶縁性を有していることが求められていることを考慮すると、現状の技術においては Al_2O_3 (アルミナ) 膜 3 2 の方がより好ましい。さらに、高誘電率の膜でリーク電流が一定の値以下であればよいことを考慮すると、例えばシリコン窒化膜等でも適用可能である。この場合、例えば JVD (Jet Vapor Deposition) 法を用いたリーク電流の少ない堆積方法を用いたシリコン窒化膜等が適用される。また、これら誘電率の高い単層の膜を用いる場合に比較すると浮遊電極 FG と制御電極 CG 間の容量結合は小さくはなるが、ONO 絶縁膜 (酸化膜 / 窒化膜 / 酸化膜) 等の複数層構造の膜を用いることも可能である。

【 0 0 7 5 】

以下、図 8 (a) 乃至図 8 (c) を用いて、図 7 で示した不揮発性半導体記憶装置の製造工程の一例を説明する。

【 0 0 7 6 】

先ず、図 8 (a) において、第 1 の実施形態と同様の方法により、シリコン基板 1 1 の主表面上に、シリコン酸化膜 1 2 、多結晶シリコン膜 1 3 、シリコンナイトライド膜 1 4 、シリコン酸化膜 1 5 、シリコン酸化膜 1 6 、及び S T I 埋め込み材となるシリコン酸化膜 1 7 を形成する。

【 0 0 7 7 】

次に、図 8 (b) において、減圧 C V D 法によりリンが添加されて浮遊電極となる多結晶シリコン膜 1 8 を堆積する。さらに、この多結晶シリコン膜 1 8 を R I E 法によりフォトリソグのマスクを用いて加工し、シリコン酸化膜 1 7 の上面の略中央にスリット 1 8 A を形成する。この時、スリット 1 8 A のスリット幅は例えば 8 0 n m 程度である。さらに、例えば塗布法を用いてスリット 1 8 A の内部に低誘電率の低誘電率を有するシリコン酸化膜 3 1 を形成する。

【 0 0 7 8 】

次に、図 8 (c) において、例えば C V D 法によりアルミナ膜 3 2 を形成する。以下、第 1 の実施形態と同様の製造工程により、図 7 で示した不揮発性半導体記憶装置を形成することが出来る。

【 0 0 7 9 】

[第 3 の実施形態]

図 9 及び図 1 0 を用いて本発明に係る第 3 の一実施形態を説明する。

【 0 0 8 0 】

図 9 は制御電極 C G の配線長手方向に沿って形成された複数の不揮発性記憶素子 M C の断面図である。図 1 0 は図 9 で示す不揮発性記憶素子 M C の製造方法の一例を説明するための断面図である。

【 0 0 8 1 】

図 9 に示すように、 S T I 埋め込み材であるシリコン酸化膜 1 7 の上面の略中央部に、スリットの幅 d_F が例えば 1 0 n m 程度のスリット 1 8 A が形成される。スリット 1 8 A の内部には低誘電率を有するシリコン酸化膜 3 3 が形成され、さらに多結晶シリコン膜 2 0 と多結晶シリコン膜 1 8 の間にも同一のシリコン酸化膜 3 3 が薄い膜厚で形成され、両者は一体として形成される。ここで、多結晶

シリコン膜 2 0 と多結晶シリコン膜 1 8 との間に形成されるシリコン酸化膜 3 3 の膜厚は、例えば 5 ～ 6 n m 程度である。

【 0 0 8 2 】

上記シリコン酸化膜 3 3 の上面には、アルミナ膜 3 4 が形成される。上記と同様にアルミナ膜 3 4 は高い誘電率を持つ絶縁材料である。

【 0 0 8 3 】

スリット 1 8 A の内部及び多結晶シリコン膜 2 0 と多結晶シリコン膜 1 8 の間に、シリコン酸化膜 3 3 が薄い膜厚で形成され、両者は一体として形成される。このように、スリット 1 8 A 内部は誘電率の低い絶縁材料であるシリコン酸化膜 2 0 で埋められる。その結果、電荷保持特性を向上し、上記浮遊電極 F G 相互のデータ干渉効果を最小限にすることが出来る。

【 0 0 8 4 】

多結晶シリコン膜 2 0 と多結晶シリコン膜 1 8 との間にも、低誘電率のシリコン酸化膜 3 3 が薄い膜厚で形成される。その結果、浮遊電極コーナー部 2 5 における電界集中を回避し、電荷保持特性をさらに向上することが出来る。

【 0 0 8 5 】

上記薄く形成されたシリコン酸化膜 3 3 の上面には、高い誘電率を持つアルミナ膜 3 4 が形成される。その結果、浮遊電極 F G と制御電極 C G 間の容量結合を高くすることにより、書き込み、読み出し時の制御電極 C G に印加される動作電圧を低減することが出来る。

【 0 0 8 6 】

さらに、多結晶シリコン 2 0 と多結晶シリコン 1 8 との間に形成されたシリコン酸化膜 3 3 の膜厚は、アルミナ膜 3 4 の膜厚に比べ薄く形成される。その結果、上記動作電圧を低減する効果と電荷保持特性を向上する効果とを両立することが出来る。

【 0 0 8 7 】

さらに、多結晶シリコン膜 2 0 と多結晶シリコン膜 1 8 との間に形成されるシリコン酸化膜 3 3 の膜厚は、例えば 5 ～ 6 n m 程度である。従って、スリット 1 8 A の幅 d_F が例えば 1 0 n m 程度といった極めて小さな寸法の場合であっても

スリット 1 8 A 内部を埋め込むことが出来る。その結果、不揮発性記憶素子を高密度で配置できるとともに、電荷保持特性が向上し、隣接浮遊電極 F G 相互のデータ干渉効果を最小限にすることが出来る。このように、極めて小さい寸法においても有効な構造である。

【 0 0 8 8 】

尚、上記と同様にシリコン酸化膜 3 3 は、なるべく誘電率の低い絶縁材料が望ましく、例えば塗布法により堆積形成されるシリコン酸化膜等でも適用可能である。さらに誘電率が低い材料であれば、他の絶縁材料によっても適用可能である。

【 0 0 8 9 】

薄く形成されたシリコン酸化膜 3 3 の上面に形成されたアルミナ膜 3 4 においても同様に、例えば Ta_2O_5 (タンタルオキサイド) 膜、シリコン窒化膜、 ON 絶縁膜等を用いることも可能である。

【 0 0 9 0 】

以下、図 1 0 (a) 乃至図 1 0 (c) を用いて、図 9 で示した不揮発性半導体記憶装置の製造工程の一例を説明する。

【 0 0 9 1 】

先ず、図 1 0 (a) において、第 1 の実施形態と同様の方法により、シリコン基板 1 1 の主表面上に、素子分離領域となる溝 1 7 A を形成した後、シリコン酸化膜 1 2、多結晶シリコン膜 1 3、シリコンナイトライド膜 1 4、シリコン酸化膜 1 5、シリコン酸化膜 1 6、及び S T I 埋め込み材となるシリコン酸化膜 1 7 を順次形成する。

【 0 0 9 2 】

次に、図 1 0 (b) において、CMP 法によりシリコン酸化膜 1 7 を平坦化し、 $900^{\circ}C$ 程度の窒素雰囲気中で加熱する。さらに、バッファード H F 溶液に 1 0 sec 程度浸して、 $150^{\circ}C$ 程度のリン酸処理によりシリコンナイトライド膜 1 4 を除去する。次に、ディリユート H F 溶液でシリコン酸化膜 1 7 を 2 0 nm 程度エッチングする。さらに、減圧 C V D 法によりリンが添加されて浮遊電極となる多結晶シリコン膜 1 8 を堆積する。さらに、この多結晶シリコン膜 1 8 を R I

E法によりをフォトリソのマスクを用いて加工し、シリコン酸化膜17の上面の略中央にスリット18Aを形成する。この時、スリット18Aのスリット幅は例えば10nm程度である。さらに、例えばCVD法を用いてスリット18Aの内部及び多結晶シリコン膜18の上面に、スリット18A内部を埋め込む工程なく同時に、低誘電率の低誘電率を有するシリコン酸化膜33を形成する。

【0093】

次に、図10(c)において、例えばCVD法によりアルミナ膜34を形成する。以下、第1の実施形態と同様の製造工程により、図9で示した不揮発性半導体記憶装置を形成することが出来る。

【0094】

この一実施形態に係る製造方法では、例えばCVD法を用いてスリット18Aの内部及び多結晶シリコン膜18の上面に、スリット18A内部を埋め込むと同時に、低誘電率の低誘電率を有するシリコン酸化膜33を形成する。従って、スリット18A内部を別に埋め込む工程を省略すること出来る。

【0095】

尚、以上第1乃至第3の実施形態において、浮遊電極FGは多結晶シリコン膜13と、その上面に形成されシリコン酸化膜16上のスリット18Aまでその両端が張り出した多結晶シリコン膜18により形成される。このように、多結晶シリコン膜18がスリット18Aまで張り出していることにより、制御電極CGとの対向面積を大きくとる事が出来る。その結果、容量結合比を大きくすることが出来る。

【0096】

[第4の実施形態]

図11及び図12を用いて本発明に係る第4の一実施形態を説明する。

【0097】

図11は制御電極CGの配線長手方向に沿って形成された複数の不揮発性記憶素子の断面図である。図12は図11で示す不揮発性記憶素子MCの製造方法の一例を説明するための断面図である。

【0098】

図 1 1 に示すように、素子領域にシリコン酸化膜 1 2 の上に浮遊電極 F G となる多結晶シリコン膜 1 3 が形成される。浮遊電極 F G はこの多結晶シリコン膜 1 3 のみで形成される。さらに、素子分離領域となる溝 1 7 A の内部には、S T I 埋め込み材である低誘電率のシリコン酸化膜 3 5 が形成される。この素子分離領域となる溝 1 7 A の幅は、例えば 6 0 n m 程度である。さらに、制御電極 C G に沿って上記多結晶シリコン膜 1 3 及びシリコン酸化膜 3 5 の上面に、アルミナ膜 3 6 が形成される。上記と同様に、アルミナ膜 3 6 は高い誘電率を持つ絶縁材料である。

【 0 0 9 9 】

図 1 1 に示すように、多結晶シリコン膜 1 3 のみによって浮遊電極 F G が形成される。これに対して、上記第 1 乃至第 3 の実施形態に係る浮遊電極 F G は、多結晶シリコン 1 3 と、その上面に形成されシリコン酸化膜 1 6 のスリット 1 8 A までその両端が張り出した多結晶シリコン 1 8 により形成される。しかし、制御電極 C G に沿って隣接する不揮発性記憶素子 C M の間隔が微細化により小さくなると、上記のような構成をとることが困難となる場合がある。上記の間隔が小さくなると、制御電極 C G に沿って隣接する不揮発性記憶素子間の絶縁性を十分に確保できない場合があるからである。

【 0 1 0 0 】

しかし本実施形態においては、多結晶シリコン膜 1 3 は素子領域となる低誘電率のシリコン酸化膜 3 5 により分離され、このシリコン酸化膜 3 5 の上面に張り出すということはない。そのため微細化により、隣接する不揮発性記憶素子 M C の間隔が小さくなった場合であっても、隣接する不揮発性記憶素子間の絶縁を十分に確保することが出来る。

【 0 1 0 1 】

素子分離領域となる溝 1 7 A の内部には、S T I 埋め込み材である低誘電率のシリコン酸化膜 3 5 が形成される。そのため、隣接する浮遊電極間だけでなく、浮遊電極と活性領域となるソース／ドレイン領域（図示せず）間、及びソース領域とドレイン領域（図示せず）間の結合容量を低減することが出来る。その結果、隣接不揮発性記憶素子間における上記干渉効果を低減することが出来る。

【 0 1 0 2 】

尚、上記と同様に低誘電率のシリコン酸化膜 3 5 は、できるだけ誘電率の低い絶縁材料が望ましく、例えば塗布法により堆積形成されるシリコン酸化膜等でも適用可能である。さらに誘電率が低い材料であれば、他の絶縁材料によっても適用可能である。

【 0 1 0 3 】

さらに上記シリコン酸化膜 3 5 の上面に形成されたアルミナ膜 3 6 においても同様に、誘電率の高い絶縁材料であることが望ましい。従って、例えば Ta_2O_5 (タンタルオキサイド) 膜、シリコン窒化膜、ONO 絶縁膜等を用いることが可能である。

【 0 1 0 4 】

以下、図 1 2 (a) 乃至図 1 2 (c) を用いて、図 1 1 で示した不揮発性半導体記憶装置の製造工程の一例を説明する。

【 0 1 0 5 】

先ず、図 1 2 (a) において、第 1 の実施形態と同様の方法により、シリコン基板 1 1 の主表面上に、素子分離領域となる溝 1 7 A を形成した後、シリコン酸化膜 1 2、多結晶シリコン膜 1 3、シリコンナイトライド膜 1 4、シリコン酸化膜 1 5、及びシリコン酸化膜 1 6 を順次形成する。その後、例えば塗布法（もしくは CVD 法）により STI 埋め込み材となる低誘電率のシリコン酸化膜 3 5 を形成する。

【 0 1 0 6 】

次に、図 1 2 (b) において、例えば CMP 法により低誘電率のシリコン酸化膜 3 5 をシリコンナイトライド膜 1 4 の表面まで平坦化し、その後 9 0 0 °C 程度の窒素雰囲気中で加熱する。さらに、バッファード (Buffered) HF 溶液に浸して、1 5 0 °C 程度のリン酸処理によりシリコンナイトライド膜 1 4 を除去する。次に、ディリュート (Dilute) HF 溶液で低誘電率のシリコン酸化膜 3 5 を後退させる。

【 0 1 0 7 】

次に、図 1 2 (c) において、例えば CVD 法によりアルミナ膜 3 6 を多結晶

シリコン 1 3 及び低誘電率のシリコン酸化膜 3 5 の上面に形成する。以下、第 1 の実施形態と同様の製造工程により、図 1 1 で示した不揮発性半導体記憶装置を形成することが出来る。

【 0 1 0 8 】

この一実施形態に係る製造方法では、S T I 埋め込み材と隣接する浮遊電極 F G とを分離する絶縁膜とを同時に低誘電率のシリコン酸化膜 3 5 により形成する。そのため、製造工程が簡略化し、製造コストを削減することが出来る。

【 0 1 0 9 】

また、浮遊電極 F G は多結晶シリコン 1 3 のみにより形成される。そのため、製造工程を簡略化し、製造コストを削減することが出来る。

【 0 1 1 0 】

[第 5 の実施形態]

図 1 3 及び図 1 4 を用いて本発明に係る第 5 の一実施形態を説明する。

【 0 1 1 1 】

図 1 3 は制御電極 C G の配線長手方向に沿って形成された複数の不揮発性記憶素子の断面図である。図 1 4 は図 1 3 で示す不揮発性記憶素子の製造方法の一例を説明するための断面図である。

【 0 1 1 2 】

図 1 3 に示すように、素子領域分離領域となる溝 1 7 A の内部に低誘電率のシリコン酸化膜 3 5 が形成される。上記と同様に、シリコン酸化膜 3 5 は低い誘電率を持つ絶縁材料である。多結晶シリコン膜 1 3 の表面上に、シリコン酸化膜 3 の内部に制御電極 C G の方向に沿って両端部が張り出した多結晶シリコン膜 3 7 が形成される。この多結晶シリコン膜 3 7 及び多結晶シリコン膜 1 3 の二層により浮遊電極が形成される。さらに、低誘電率のシリコン酸化膜 3 5 及び多結晶シリコン膜 3 7 の表面上に制御電極 C G の方向に沿って、アルミナ膜 3 6 が形成される。上記と同様に、アルミナ膜 3 6 は高い誘電率を持つ絶縁材料である。

【 0 1 1 3 】

上記多結晶シリコン膜 3 7 は、多結晶シリコン膜 1 3 の表面上にシリコン酸化膜 3 の内部に制御電極 C G の方向に沿って両端部が張り出した形状で形成される

。よって、制御電極CGとの対向面積を大きくとる事が出来る。その結果、容量結合比が増大することにより、制御電極CGに印加する閾値電圧を低減することが出来る。

【 0 1 1 4 】

素子領域分離領域となる溝17Aの内部に低誘電率のシリコン酸化膜35が形成される。従って、隣接する浮遊電極FGの結合容量を低減することが出来る。

【 0 1 1 5 】

シリコン酸化膜35及び多結晶シリコン膜37の表面上に制御電極CGの方向に沿って、高い誘電率を有するアルミナ膜36が形成される。その結果、制御電極CGと浮遊電極FGとの結合容量が増大することにより、制御電極CGに印加する閾値電圧を低減することが出来る。

【 0 1 1 6 】

尚、上記と同様に低誘電率のシリコン酸化膜35は、誘電率の低い絶縁材料が望ましく、例えば塗布法により堆積形成されるシリコン酸化膜等でも適用可能である。さらに誘電率が低い材料であれば、他の絶縁材料によっても適用可能である。

【 0 1 1 7 】

さらに上記シリコン酸化膜35の上面に形成されたアルミナ膜36においても同様に、誘電率の高い絶縁材料であることが望ましい。従って、例えば Ta_2O_5 （タンタルオキサイド）膜、シリコン窒化膜、ONO絶縁膜等を用いることが可能である。

【 0 1 1 8 】

以下、図14（a）乃至図14（c）を用いて、図13で示した不揮発性半導体記憶装置の製造工程の一例を説明する。

【 0 1 1 9 】

先ず、図14（a）において、上記第1の実施形態と同様の方法により、シリコン基板11の主表面上に、素子分離領域となる溝17Aを形成した後、シリコン酸化膜12、多結晶シリコン膜13、シリコンナイトライド膜14、シリコン酸化膜15、及びシリコン酸化膜16を順次形成する。その後、例えば塗布法に

より S T I 埋め込み材となる低誘電率のシリコン酸化膜 3 5 を形成する。

【 0 1 2 0 】

次に、図 1 4 (b) において、例えば C M P 法によりシリコンナイトライド膜 1 4 をストッパとして用い、低誘電率のシリコン酸化膜 3 5 を平坦化し、シリコンナイトライド膜 1 4 の表面まで平坦化し、その後 9 0 0 ℃ 程度の窒素雰囲気中で加熱する。さらに、バッファード (Buffered) H F 溶液に浸して、1 5 0 ℃ 程度のリン酸処理によりシリコンナイトライド膜 1 4 を除去する。

【 0 1 2 1 】

次に、図 1 4 (c) において、ディリュート (Dilute) H F 溶液で低誘電率のシリコン酸化膜 3 5 を等方的に後退させる。

【 0 1 2 2 】

さらに、例えば C V D 法により多結晶シリコン膜 3 7 を全面に堆積形成する。さらに、例えば C M P 法によりシリコン酸化膜 3 5 及び多結晶シリコン膜 3 7 を平坦化する。

【 0 1 2 3 】

次に、図 1 4 (d) において、例えば C V D 法によりアルミナ膜 3 6 を多結晶シリコン及び低誘電率のシリコン酸化膜 3 5 の上面に形成する。以下、第 1 の実施形態と同様の製造工程により、図 1 3 で示した不揮発性半導体記憶装置を形成することが出来る。

【 0 1 2 4 】

この一実施形態に係る製造方法では、シリコン酸化膜 3 5 の中央部が残るようにシリコン酸化膜 3 5 の両端部を除去する。さらに、例えば C V D 法により多結晶シリコン膜 3 7 を全面に堆積形成する。さらに、例えば C M P 法によりシリコン酸化膜 3 5 及び多結晶シリコン膜 3 7 を平坦化する。このように、多結晶シリコン 3 7 の両端が張り出した構造を自己整合的に形成することが出来る。その結果、浮遊電極 F G を分離する溝 1 7 A の幅が狭い場合であっても、多結晶シリコン 3 7 張り出す構造を形成することが出来る。上記のように多結晶シリコン 3 7 が張り出す構造により、浮遊電極 F G と制御電極 C G 間の容量結合を増大することが出来る。

【 0 1 2 5 】

[第 6 の実施形態]

以下、図 1 5 及び図 1 6 を用いて本発明に係る第 5 の一実施形態を説明する。

【 0 1 2 6 】

図 1 5 は制御電極 C G の配線長手方向に沿って形成された複数の不揮発性記憶素子の断面図である。図 1 6 は図 1 5 で示す不揮発性記憶素子の製造方法の一例を説明するための断面図である。

【 0 1 2 7 】

図 1 5 に示すように、素子領域分離領域となる溝 1 7 A の内部に低誘電率のシリコン酸化膜 3 8 の上面が、隣接する多結晶シリコン膜 1 8 の上面よりも高くなるように形成される。シリコン酸化膜 3 8 は低い誘電率を持つ絶縁材料である。このシリコン酸化膜 3 8 及び多結晶シリコン膜 1 8 の表面上に制御電極 C G の方向に沿って、アルミナ膜 3 9 が形成される。アルミナ膜 3 9 は高い誘電率を持つ絶縁材料である。

【 0 1 2 8 】

素子領域分離領域となる溝 1 7 A の内部に低誘電率のシリコン酸化膜 3 8 の上面が、隣接する多結晶シリコン膜 1 8 の上面よりも高くなるように形成される。従って、溝 1 7 A の内部に制御電極 C G が入り込むことがない。その結果、浮遊電極の角での電界が集中することを回避することが出来る。さらに、シリコン酸化膜 3 7 は低誘電率の絶縁材料により形成される。従って、隣接する浮遊電極 F G 間の結合容量を低減することが出来る。以上のようなシリコン酸化膜 3 8 の構造により、不揮発性記憶素子の信頼性をより向上することが出来る。従って、溝 1 7 A の幅が例えば 1 0 0 n m 程度以下であっても適用することが出来る。

【 0 1 2 9 】

さらに、シリコン酸化膜 3 8 及び多結晶シリコン膜 1 8 の表面上に制御電極 C G の方向に沿って、高い誘電率を有するアルミナ膜 3 6 が形成される。その結果、制御電極 C G と浮遊電極 F G との結合容量が増大することにより、制御電極 C G に印加する電圧を低減することが出来る。

【 0 1 3 0 】

尚、上記と同様に低誘電率のシリコン酸化膜 3 5 は、誘電率の低い絶縁材料が望ましく、例えば塗布法により堆積形成されるシリコン酸化膜等でも適用可能である。さらに誘電率が低い材料であれば、他の絶縁材料によっても適用可能である。

【0 1 3 1】

さらに上記シリコン酸化膜 3 5 の上面に形成されたアルミナ膜 3 6 においても同様に、誘電率の高い絶縁材料であることが望ましい。従って、例えば Ta_2O_5 （タンタルオキサイド）膜、シリコン窒化膜、ONO 絶縁膜等を用いることが可能である。

【0 1 3 2】

以下、図 1 6（a）乃至図 1 6（c）を用いて、図 1 5 で示した不揮発性半導体記憶装置の製造工程の一例を説明する。

【0 1 3 3】

先ず、図 1 6（a）において、上記第 1 の実施形態と同様の方法により、シリコン基板 1 1 の主表面上に、素子分離領域となる溝 1 7 A を形成した後、シリコン酸化膜 1 2、多結晶シリコン膜 1 3、シリコンナイトライド膜 1 4、シリコン酸化膜 1 5、及びシリコン酸化膜 1 6 を順次形成する。その後、例えば塗布法により STI 埋め込み材となる低誘電率のシリコン酸化膜 3 8 を形成する。

【0 1 3 4】

次に、図 1 6（b）において、例えば CMP 法によりシリコンナイトライド膜 1 4 をストップとして使い、低誘電率のシリコン酸化膜 3 5 を平坦化し、シリコンナイトライド膜 1 4 の表面まで平坦化し、その後 9 0 0℃ 程度の窒素雰囲気中で加熱する。さらに、バッファード（Buffered）HF 溶液に浸して、1 5 0℃ 程度のリン酸処理によりシリコンナイトライド膜 1 4 を除去する。

【0 1 3 5】

次に、図 1 6（c）において、例えば CVD 法により多結晶シリコン膜 1 8 を全面に堆積形成する。さらに、例えば CMP 法によりシリコン酸化膜 3 8 をストップとして、シリコン酸化膜 3 8 及び多結晶シリコン膜 1 8 を平坦化する。例えば全面 RIE 法により多結晶シリコン膜 1 8 の上部の一部を除去し落とし込む。

このようにして、シリコン酸化膜 3 8 の上面が多結晶シリコン膜 1 8 の上面よりも、上方にある構造を形成する。

【 0 1 3 6 】

次に、図 1 6 (d) において、例えば C V D 法によりアルミナ膜 3 6 を多結晶シリコン膜 1 8 及び低誘電率のシリコン酸化膜 3 8 の上面に形成する。以下、第 1 の実施形態と同様の製造工程により、図 1 5 で示した不揮発性半導体記憶装置を形成することが出来る。

【 0 1 3 7 】

以上、第 1 乃至第 6 の実施の形態を用いて本発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも 1 つが解決でき、発明の効果の欄で述べられている効果の少なくとも 1 つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【 0 1 3 8 】

【発明の効果】

以上詳述したように本発明によれば、電荷保持性の良い浮遊電極を有する不揮発性半導体記憶装置及びその製造方法を提供することが出来る。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面構造を図 3 の I - I 線に沿って切断して矢印方向に見た断面図。

【図 2】

本発明の第 1 の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面構造を図 3 の II - II 線に沿って切断して矢印方向に見た断面図。

【図 3】

本発明の第 1 の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置のレイアウトを模式的に示した平面図。

【図 4】

本発明の第 1 の実施形態に係る、電荷保持特性不良率のスリット幅／膜厚依存性を示すグラフ。

【図 5】

本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法の一例を図 1 に示した断面構造に関して説明するための工程図。

【図 6】

本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法の一例を図 2 に示した断面構造に関して説明するための工程図。

【図 7】

本発明の第 2 の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面図。

【図 8】

本発明の第 2 の実施形態に係る、不揮発性半導体記憶装置の製造方法の一例を図 7 の断面構造に関して説明するための工程図。

【図 9】

本発明の第 3 の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面図。

【図 1 0】

本発明の第 3 の実施形態に係る、不揮発性半導体記憶装置の製造方法の一例を図 9 の断面構造に関して説明するための工程図。

【図 1 1】

本発明の第 4 の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面図。

【図 1 2】

本発明の第 4 の実施形態に係る、不揮発性半導体記憶装置の製造方法の一例を図 1 1 の断面構造に関して説明するための工程図。

【図 1 3】

本発明の第 5 の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面図。

【図 1 4】

本発明の第 5 の実施形態に係る、不揮発性半導体記憶装置の製造方法の一例を図 1 4 の断面構造に関して説明するための工程図。

【図 1 5】

本発明の第 6 の実施形態に係る、浮遊電極を有する不揮発性半導体記憶装置の断面図。

【図 1 6】

本発明の第 6 の実施形態に係る、不揮発性半導体記憶装置の製造方法の一例を図 1 5 の断面構造に関して説明するための工程図。

【図 1 7】

従来の浮遊電極を有する不揮発性半導体記憶装置の断面図。

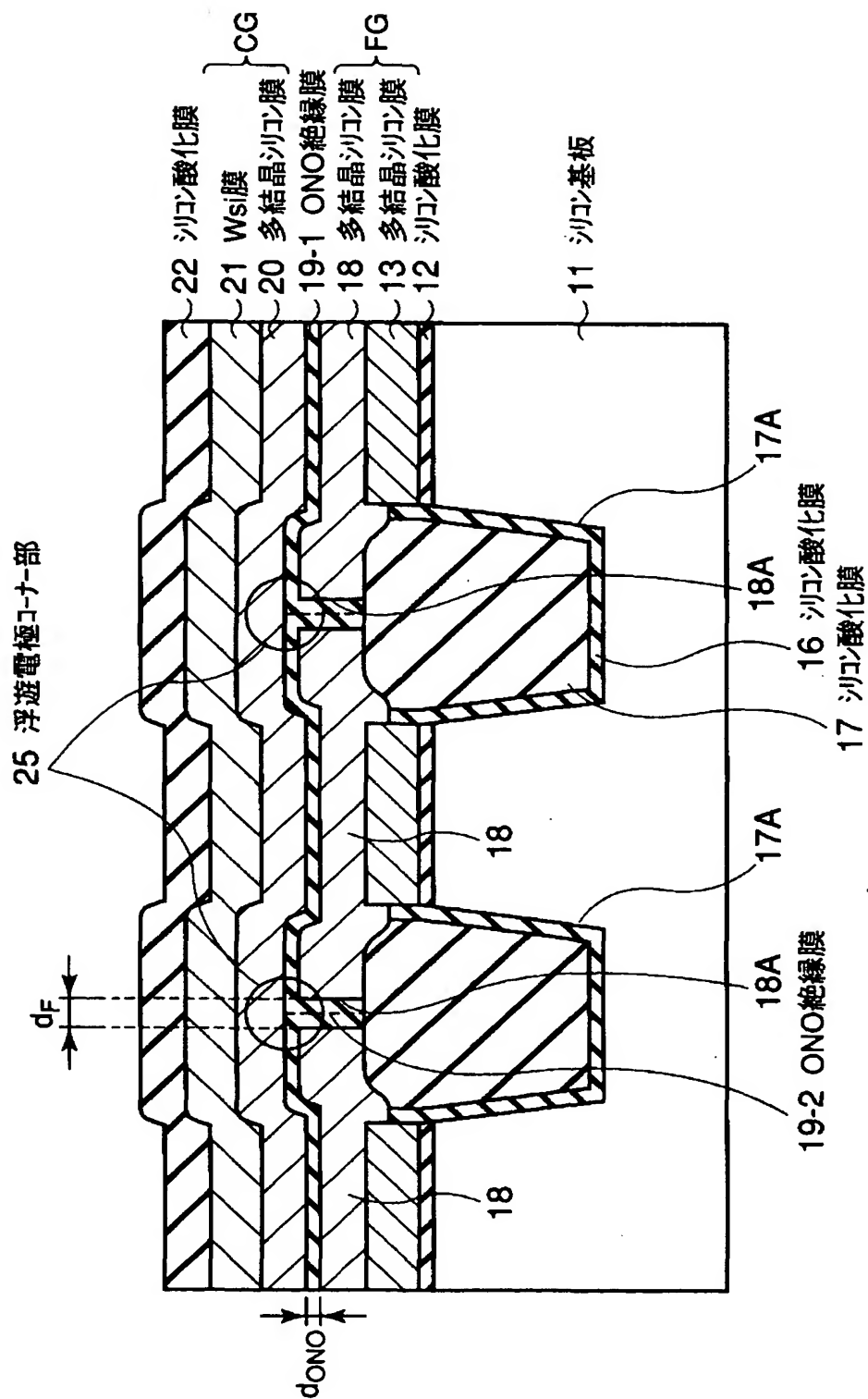
【符号の説明】

1 1 …シリコン基板、1 2 …シリコン酸化膜、1 3 …多結晶シリコン膜、1 6 …シリコン酸化膜、1 7 …シリコン酸化膜、1 7 A …素子分離領域となる溝、1 8 …多結晶シリコン膜、1 8 A …スリット、1 9 - 1, 1 9 - 2 …ONO 絶縁膜、2 0 …多結晶シリコン膜、2 1 …W S i 膜、2 2 …シリコン酸化膜。

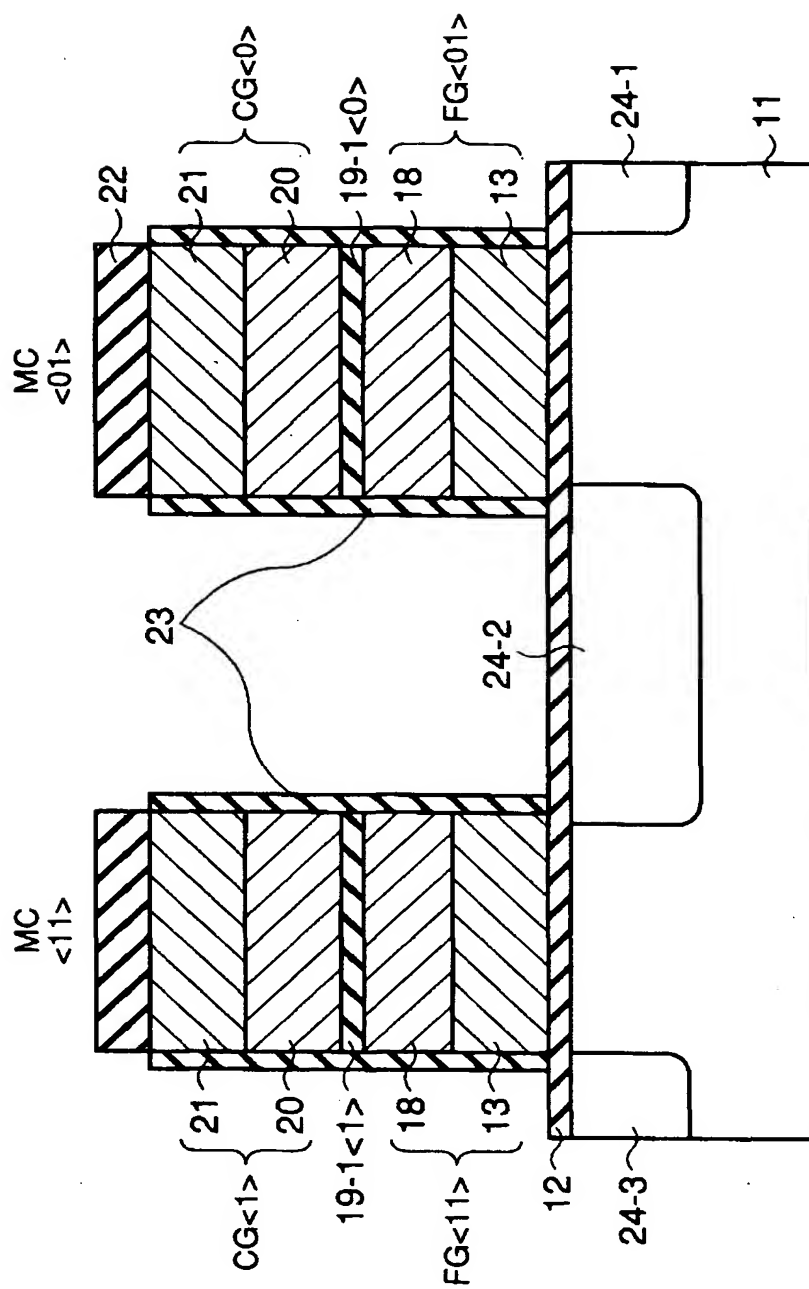
【書類名】

図面

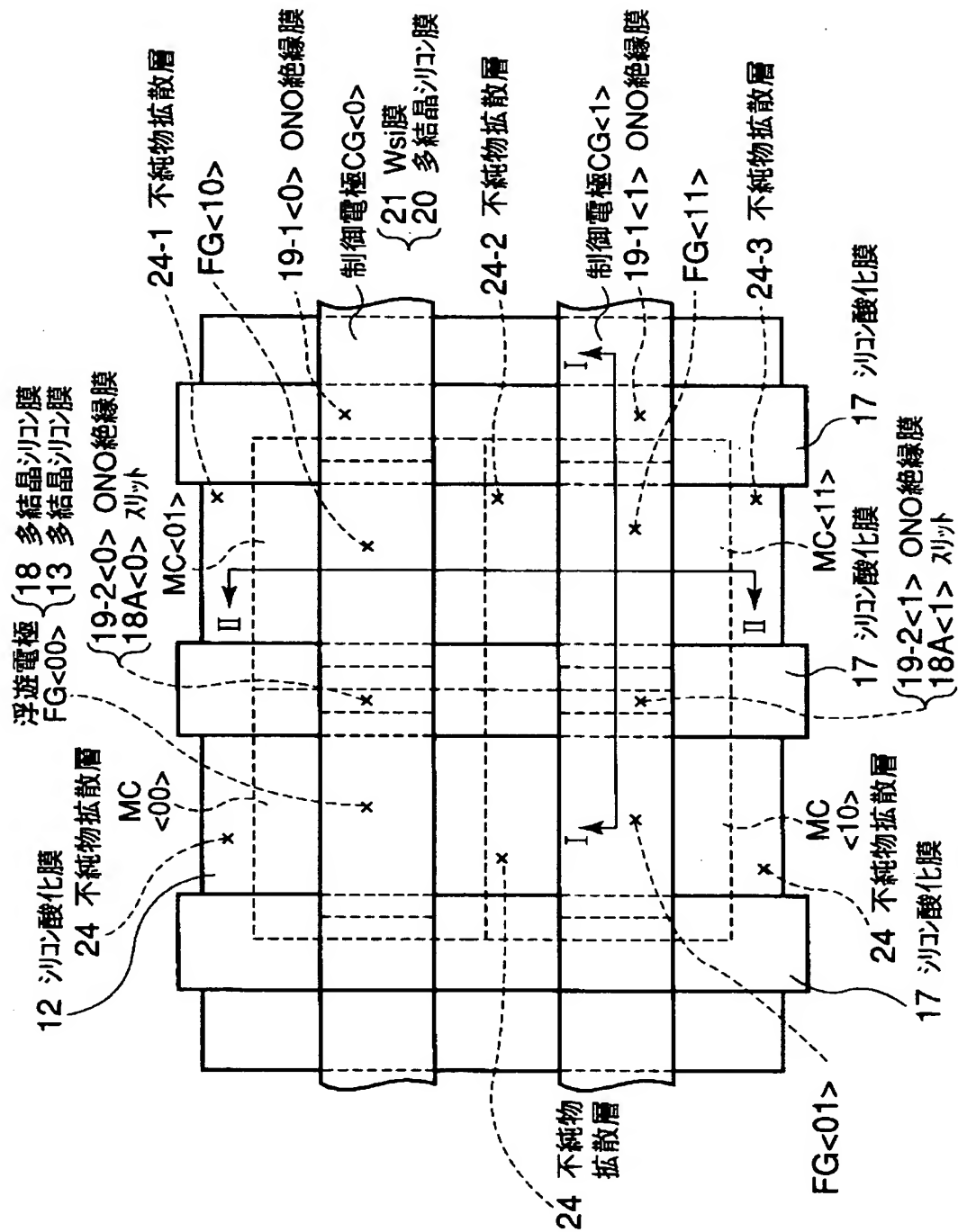
【図 1】



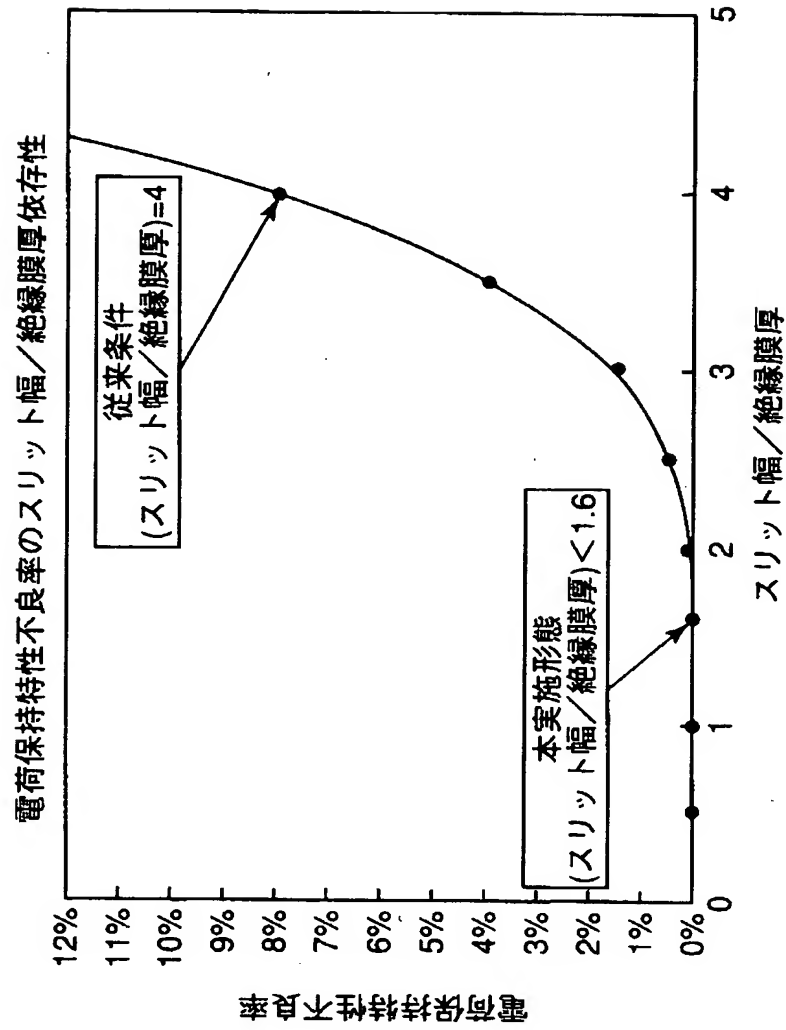
【図 2】



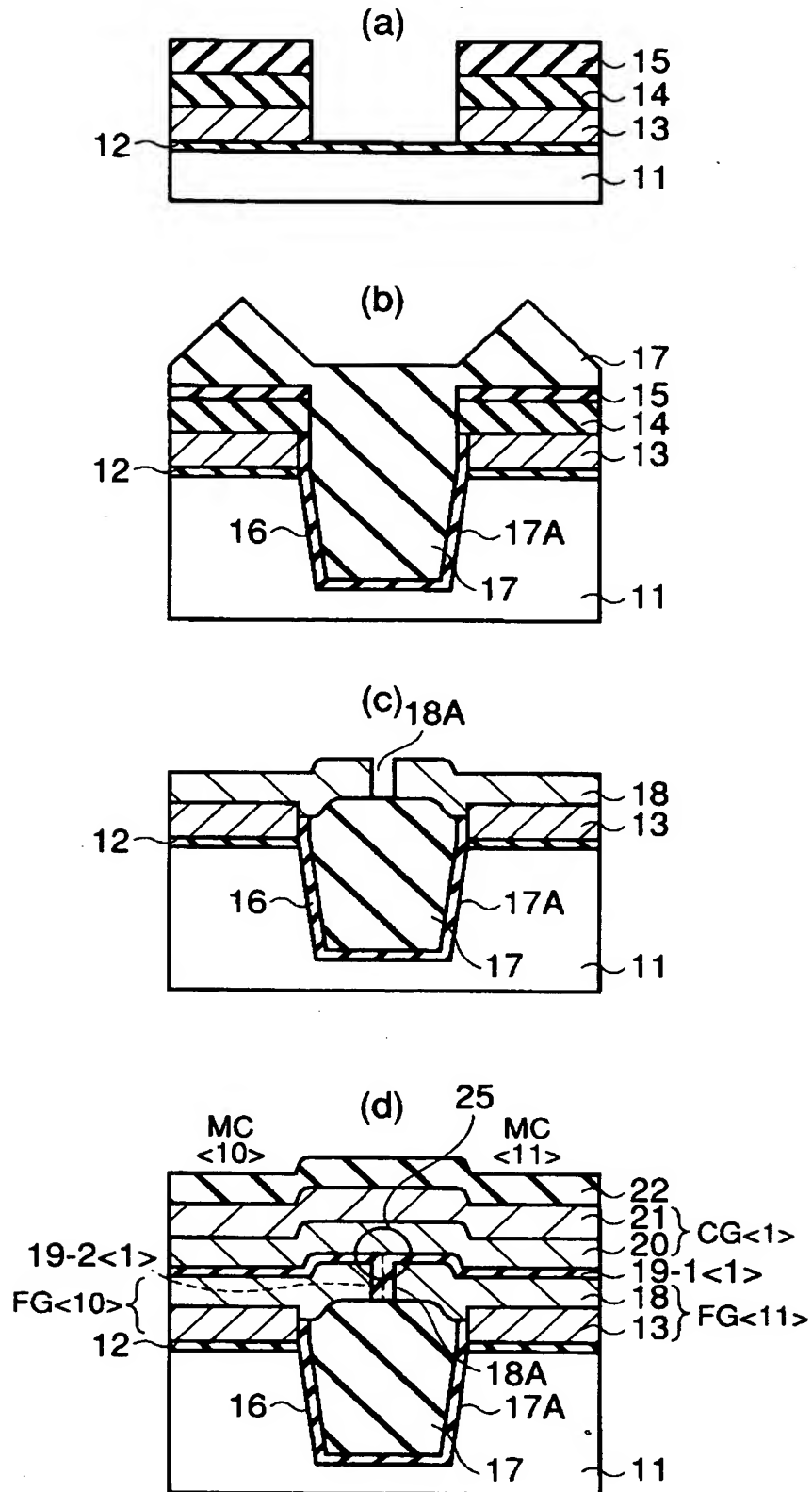
【図 3】



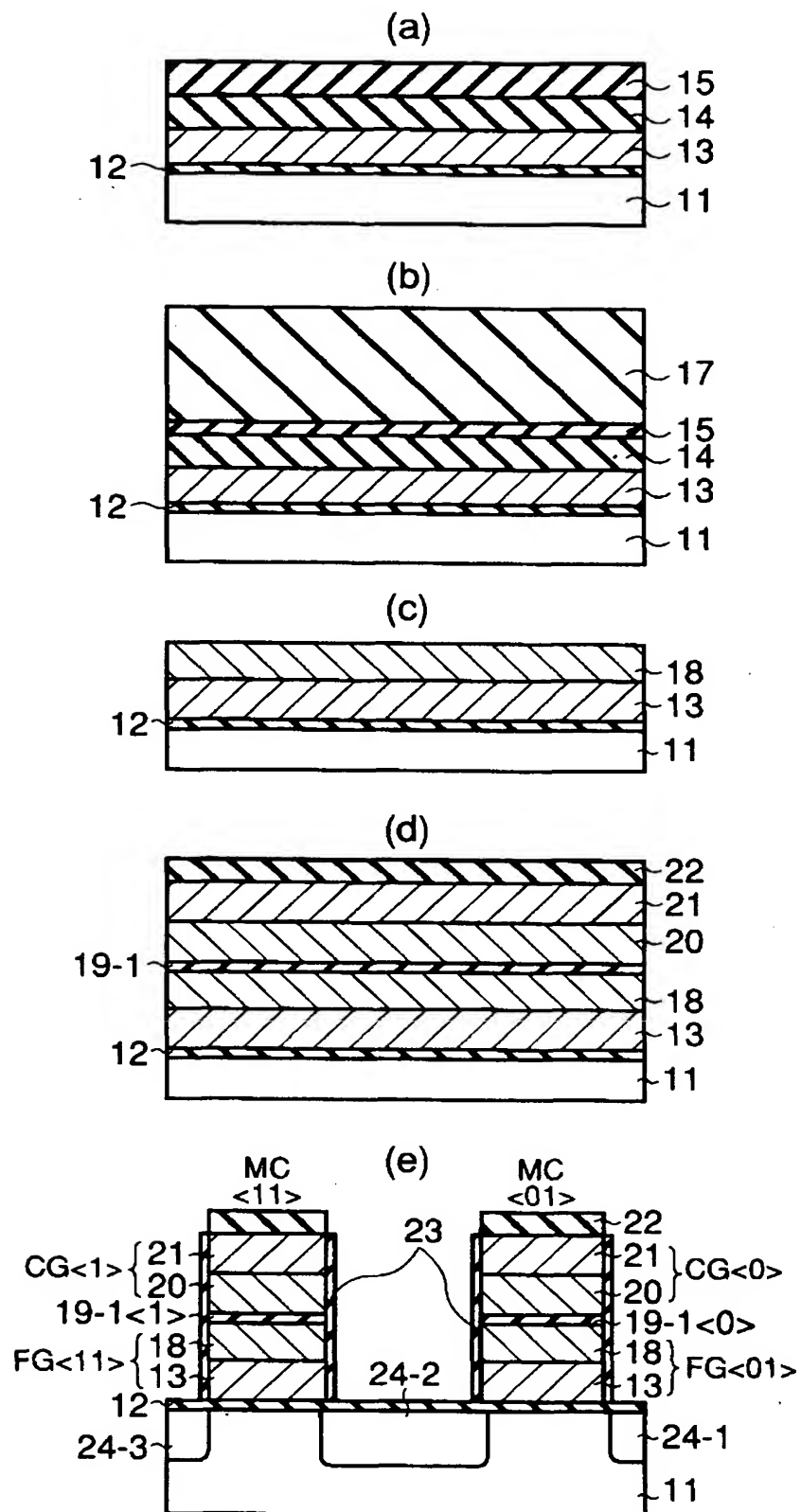
【図 4】



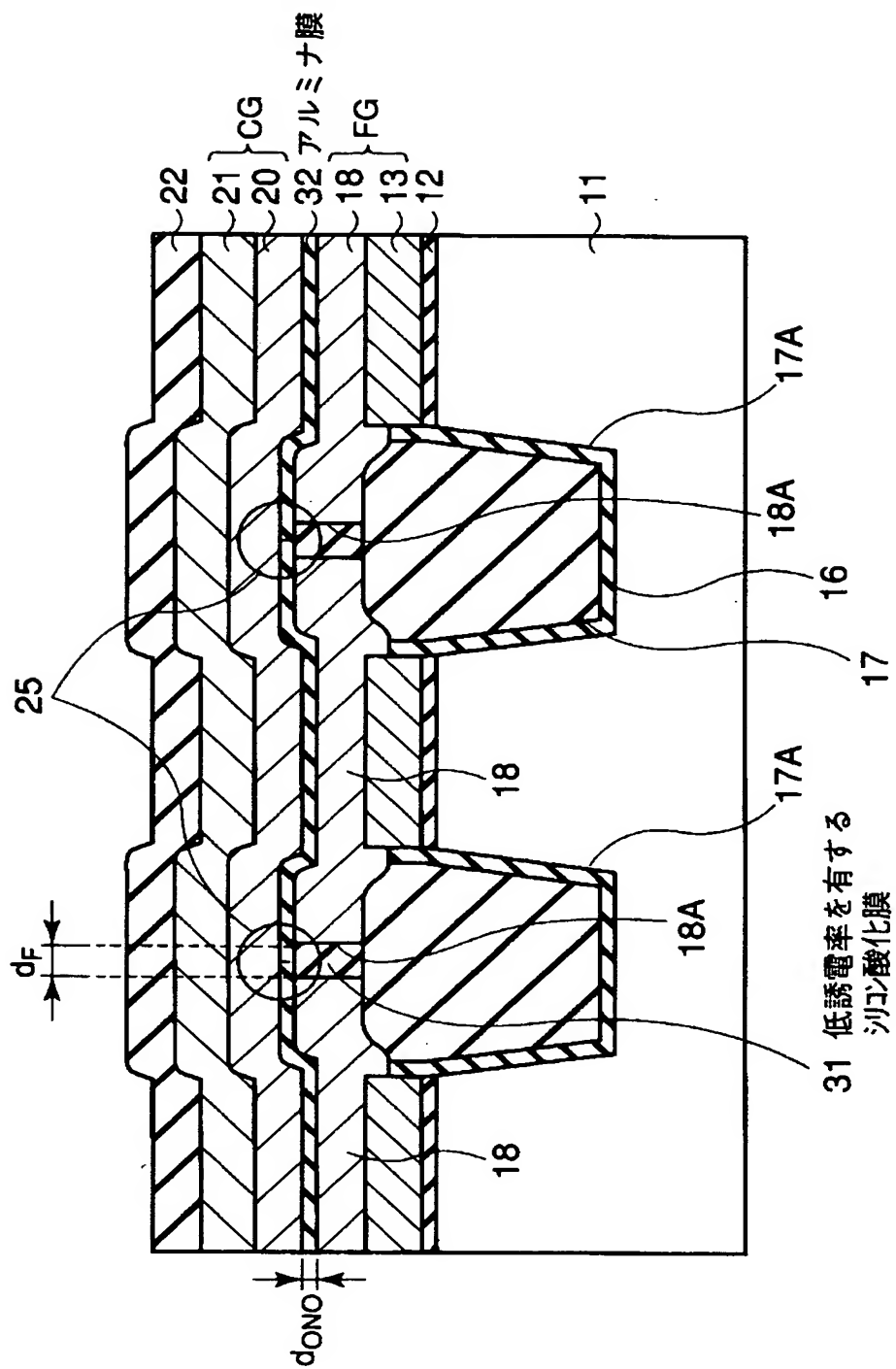
【図 5】



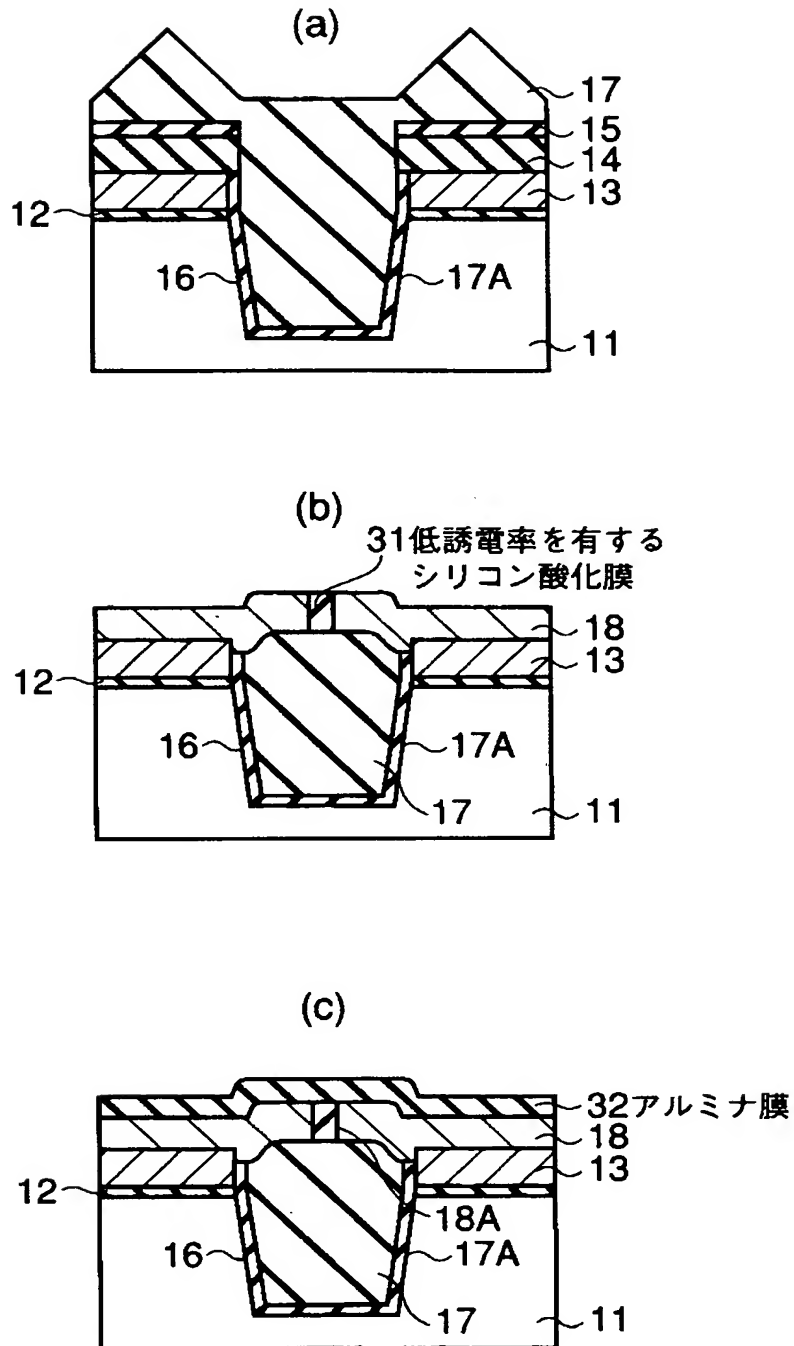
【図 6】



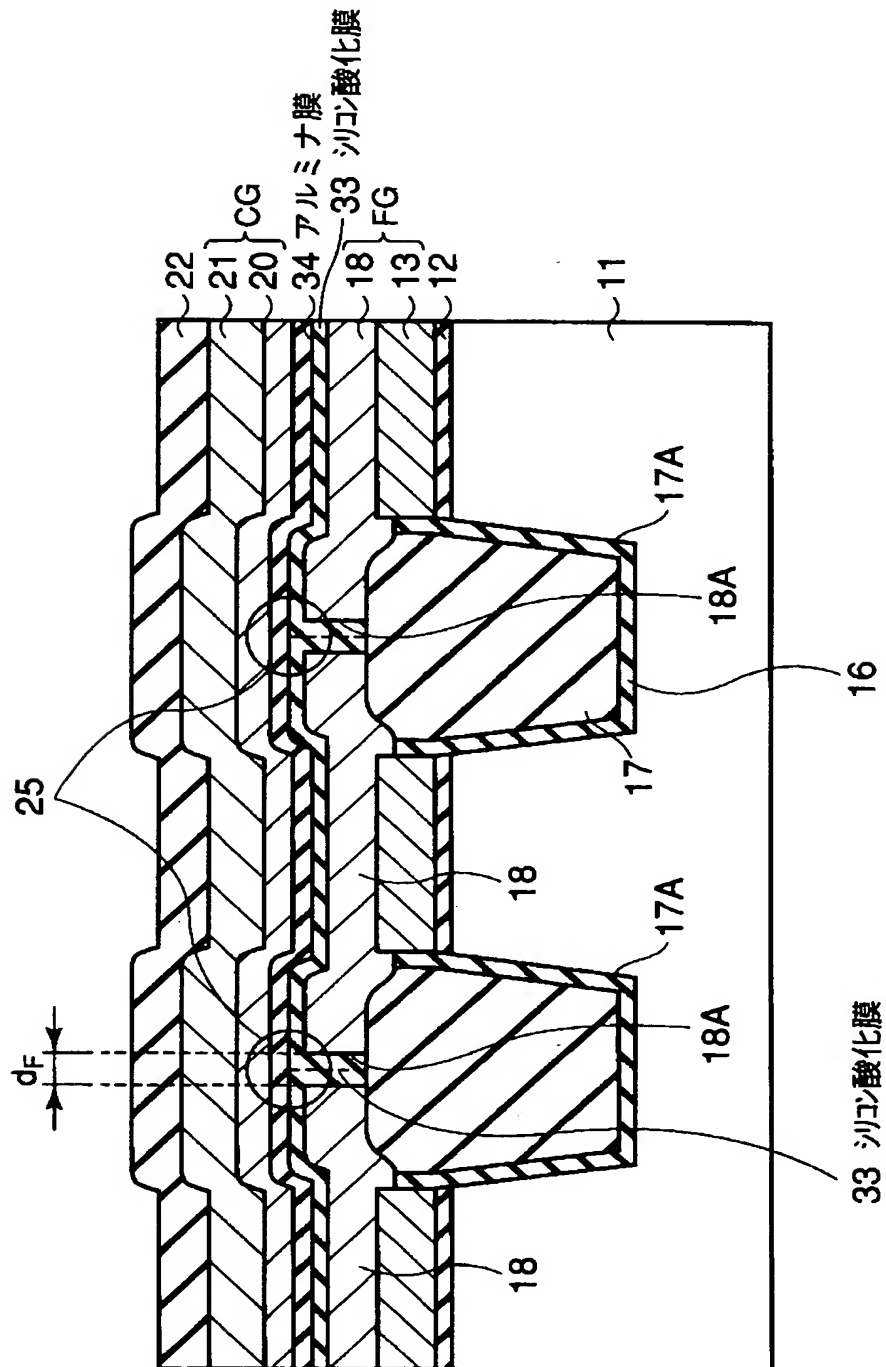
【図 7】



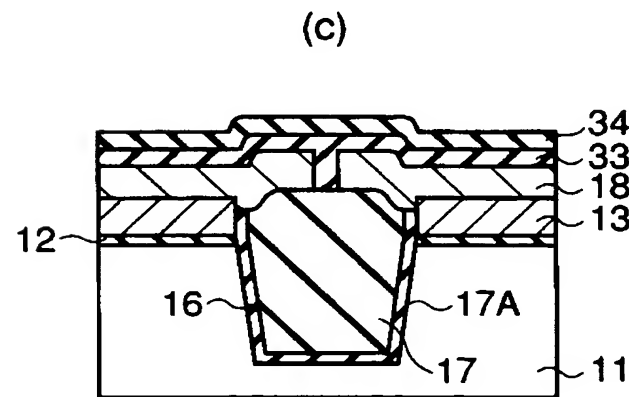
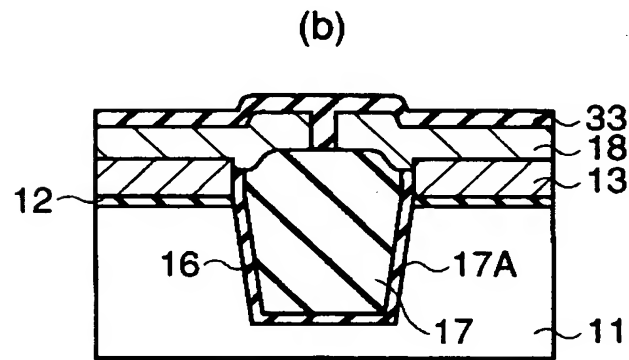
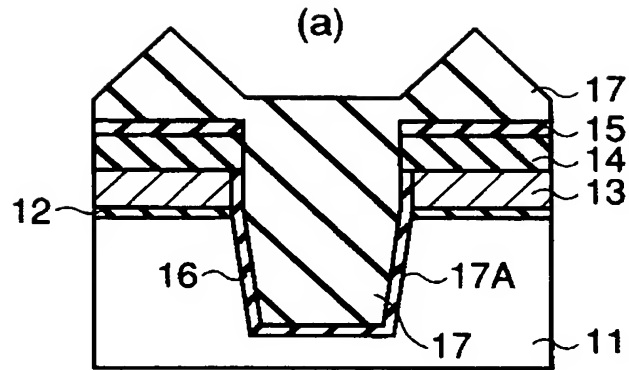
【図 8】



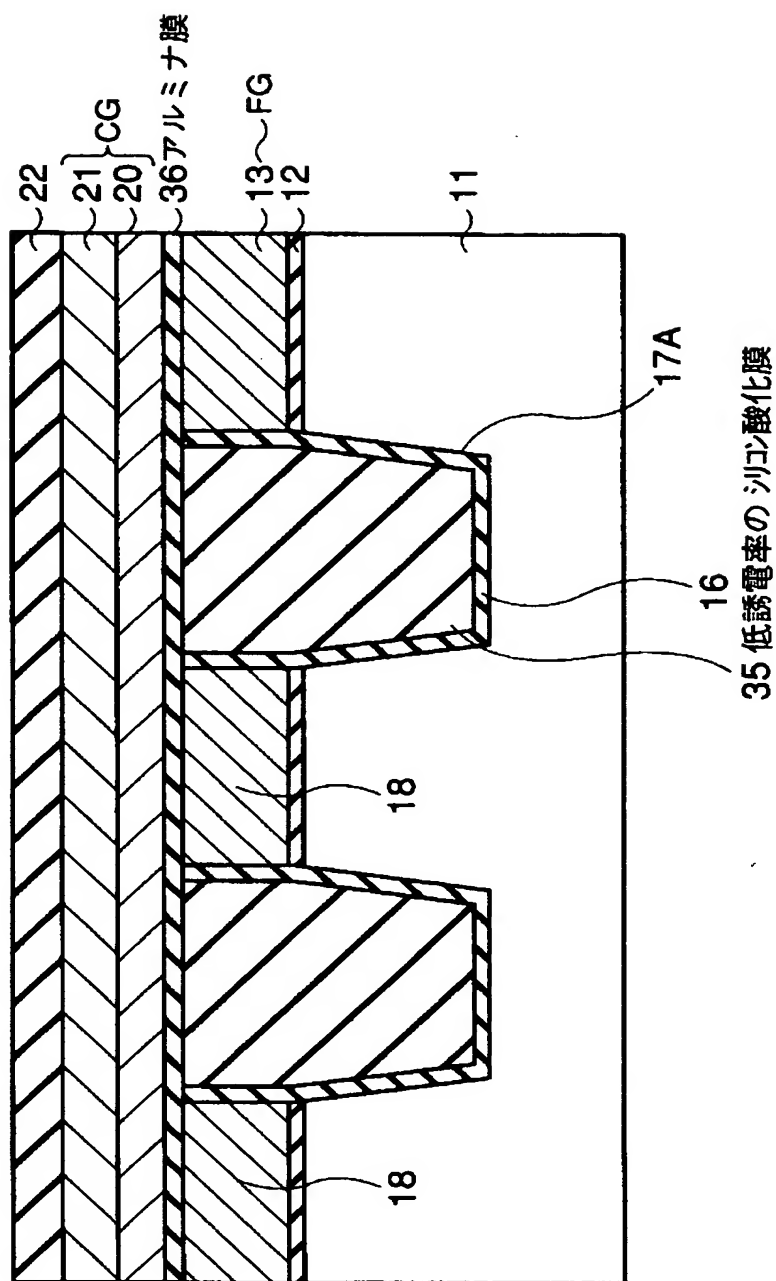
【图9】



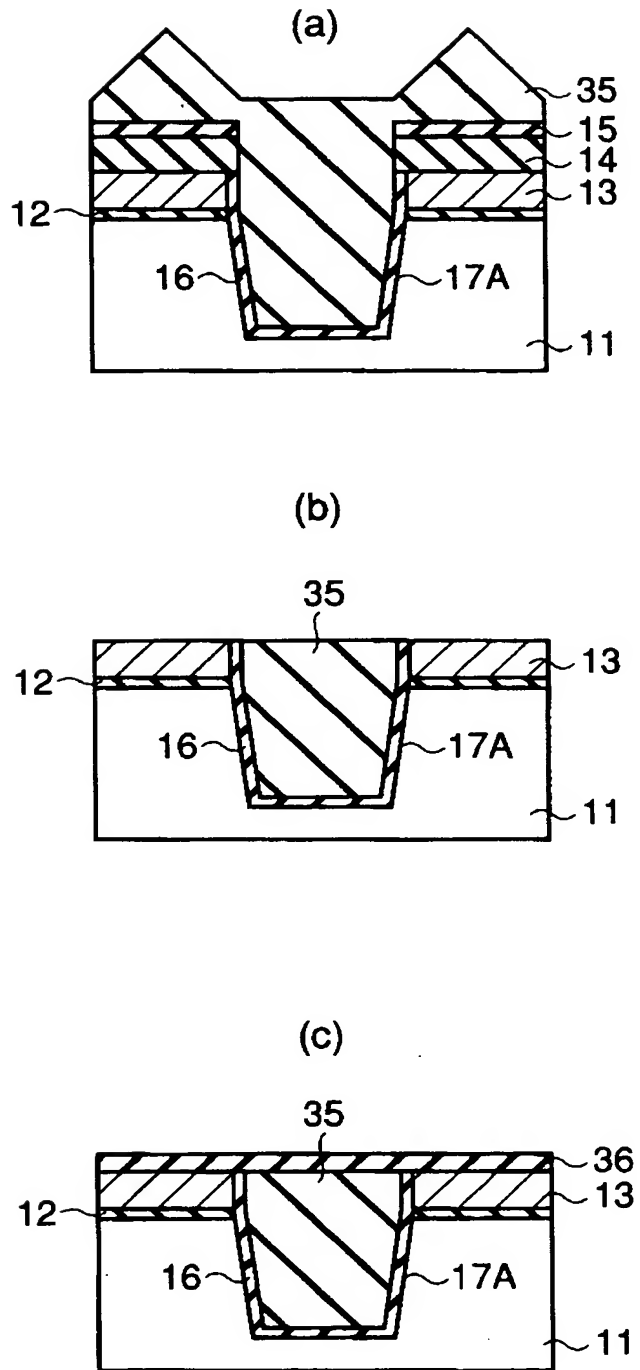
【図 1 0】



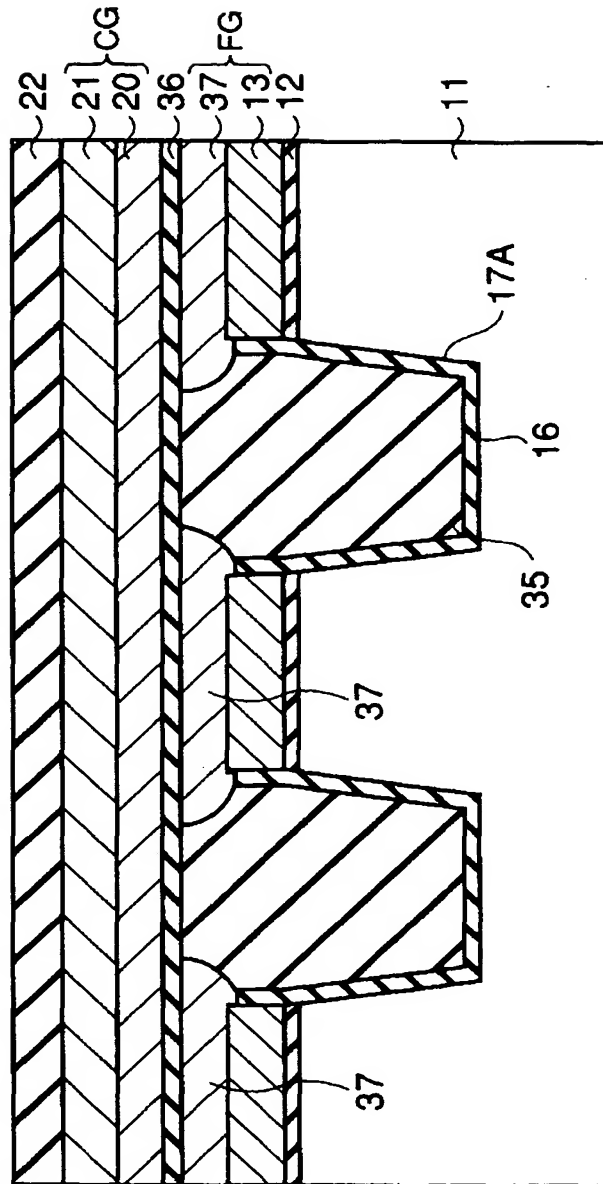
【図 11】



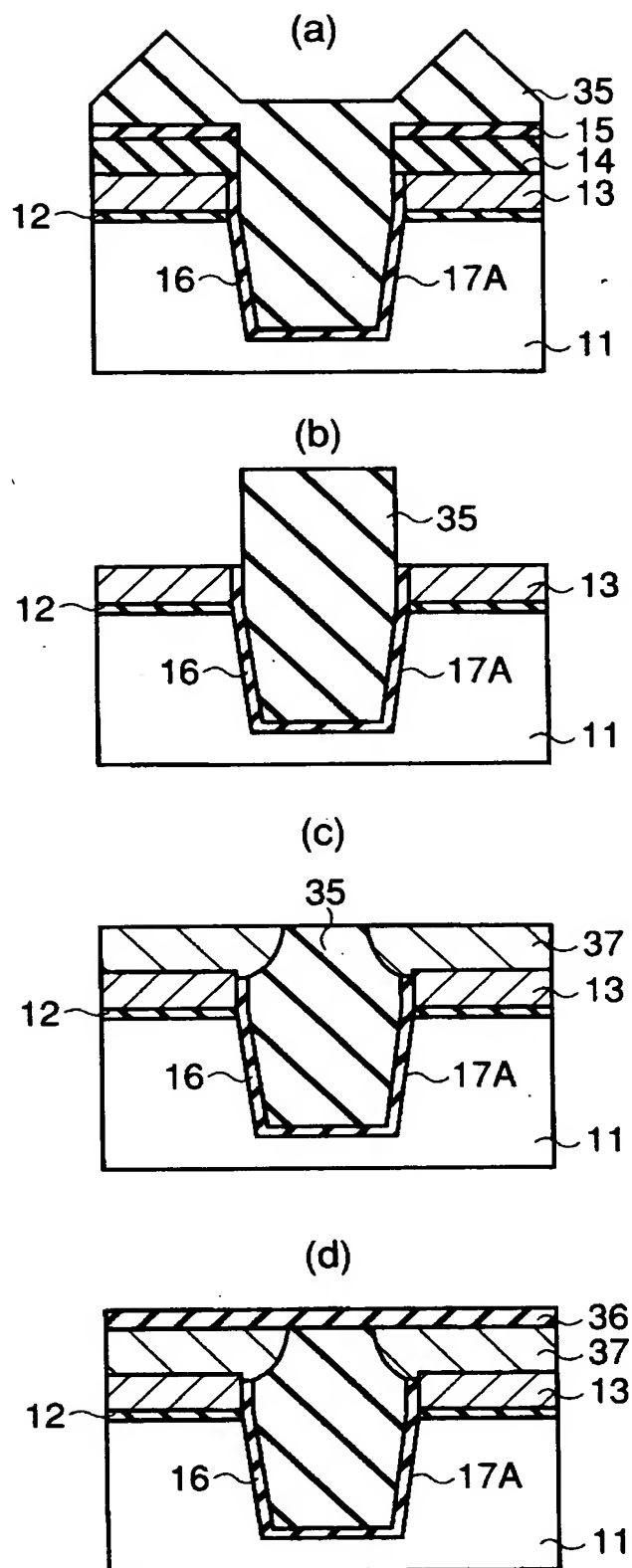
【図 1 2】



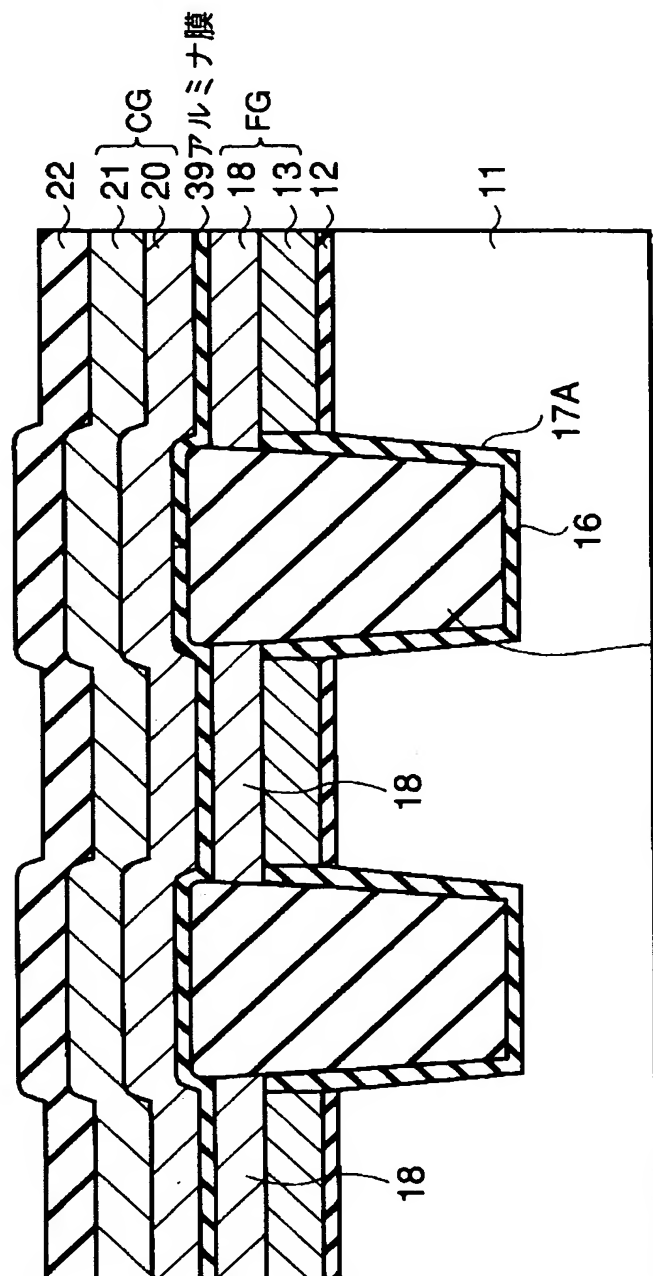
【図 13】



【図 14】

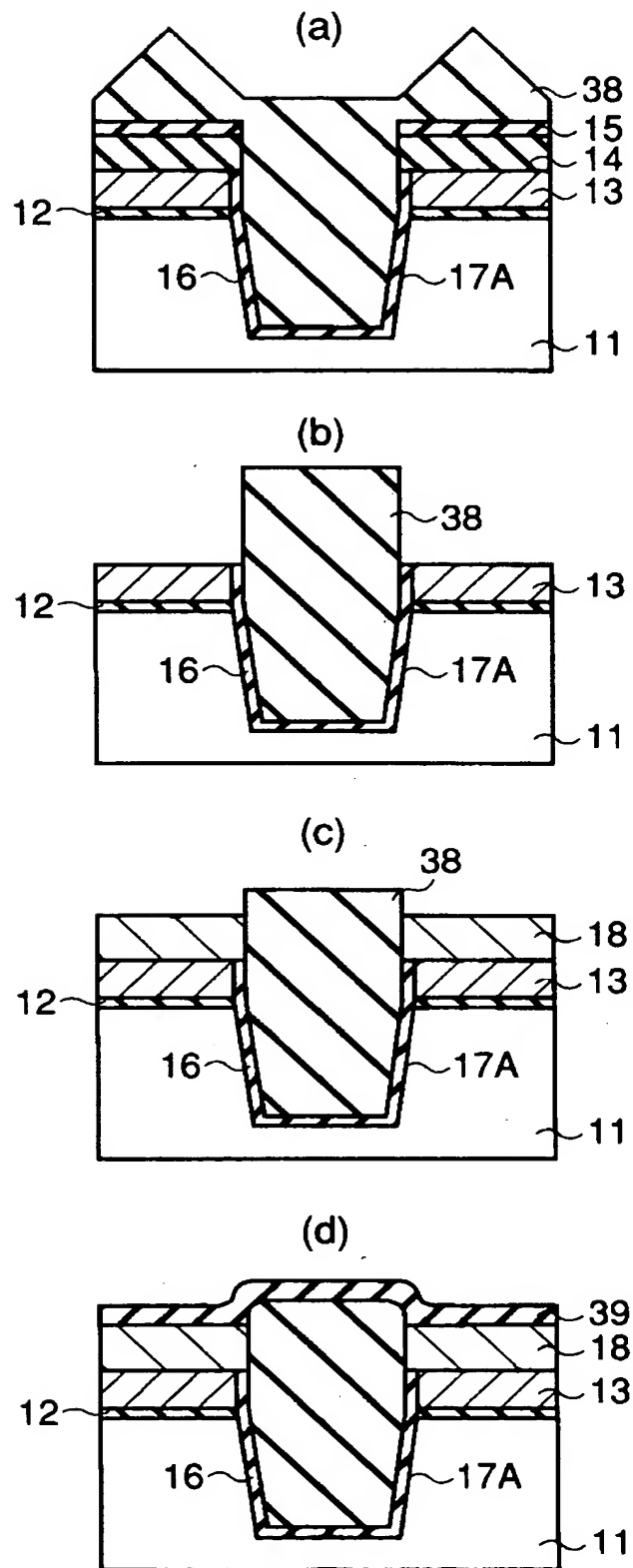


【図 15】

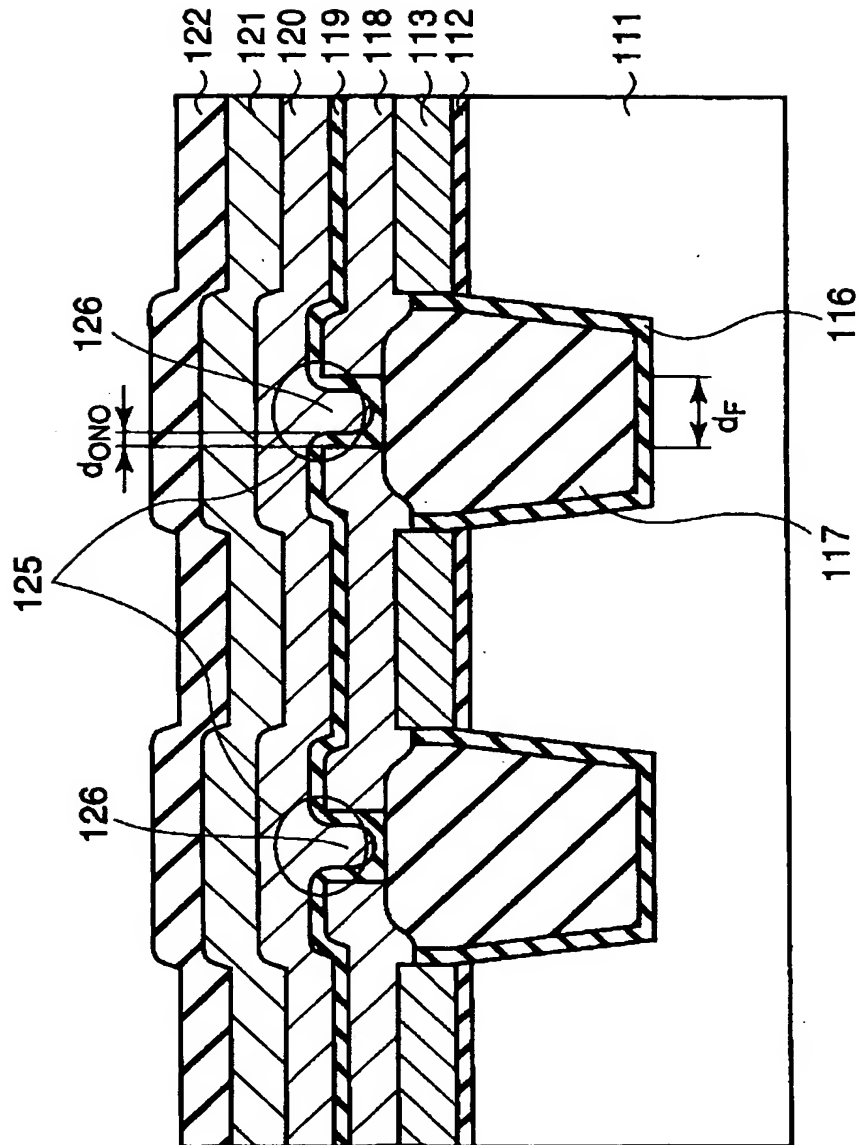


38 低誘電率のシリコン酸化膜

【図 1 6】



【図 17】



【書類名】 要約書

【要約】

【課題】電荷保持特性の良い浮遊電極を持つ不揮発性半導体記憶装置を提供することを目的とする。

【解決手段】素子分離領域 1 7 を挟んで隣接する 2 つの不揮発性記憶素子の浮遊電極 1 8 間には絶縁スリット 1 8 A が形成され、前記絶縁スリット 1 8 A 内にはスリット絶縁層 1 9 - 2 が埋め込まれ、制御電極 2 0 が前記スリット絶縁層 1 9 - 2 および電極間絶縁膜 1 9 - 1 を介して前記隣接する不揮発性記憶素子の浮遊電極 1 8 上に跨って形成された不揮発性半導体記憶装置。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝